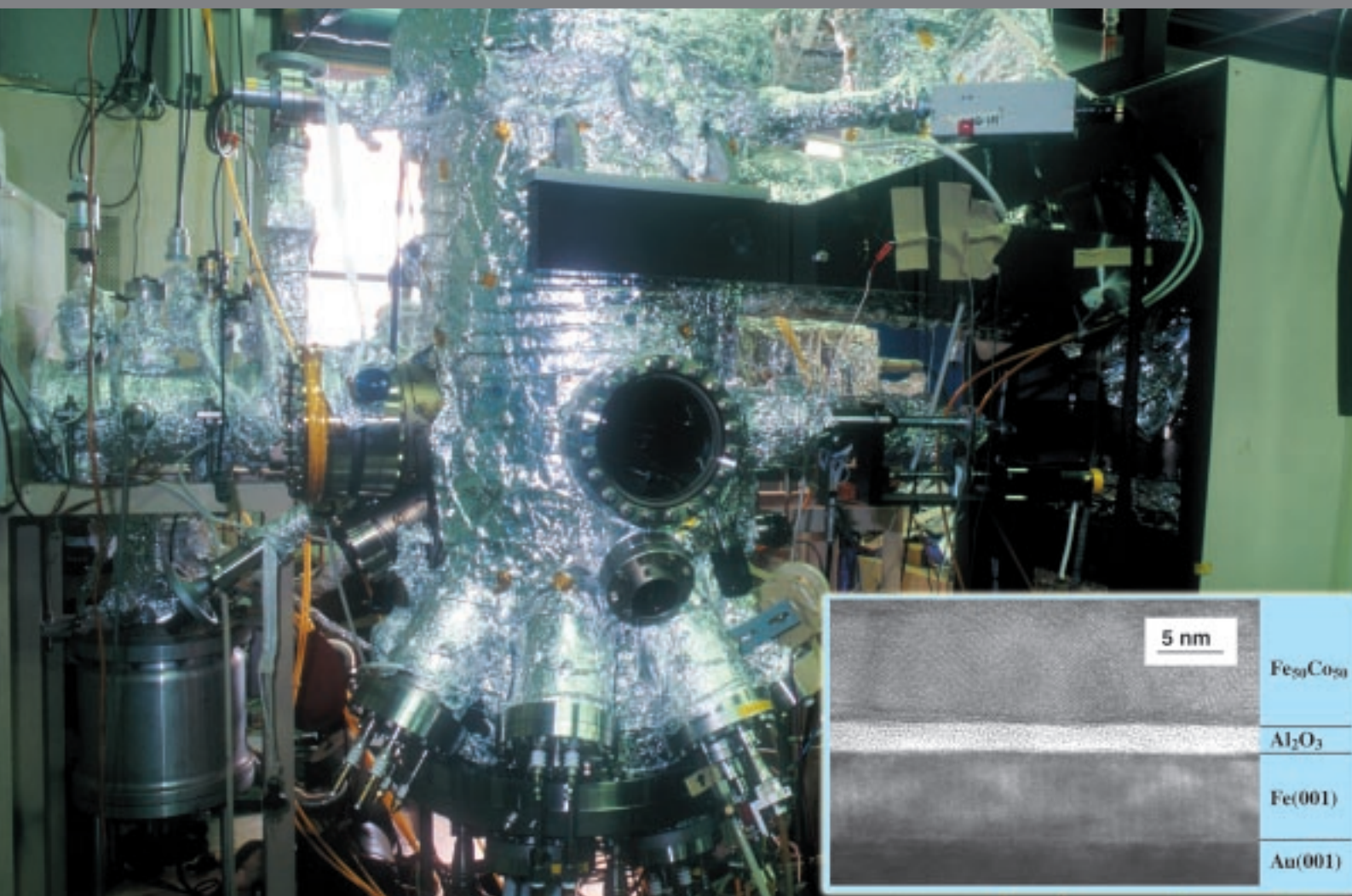


ETL NEWS

ISSN 0011-846X



電総研ニュース

所長交代挨拶

高品質強磁性トンネル接合素子の作製

世界初のアナログ進化型 LSI の開発に成功

ハードエレクトロニクスの展開

江口一雄衆議院議員、電総研を視察

その他

1999.10 vol.597

就任のご挨拶

所長 児玉皓雄



この度、梶村前所長(現工業技術院長)の後を受けて、電子技術総合研究所第24代の所長を拝命しましたので、紙面をお借りしてご挨拶させていただきます。

私は、昭和46年(1971年)に大阪工業技術試験所(現在の大阪工業技術研究所)に入所しました。それ以来、燃料電池や新型の電池開発に関する研究に携わってきました。平成5~6年には、福岡工業技術センターの所長に任ぜられ、公設試において産学官連携の重要性を肌で感じてきました。それ以降、産学官連携の推進という命題をライフワークとして取り組んできました。平成7年からは、大阪工業技術研究所の所長として、国家プロジェクトを推進する一方、近畿圏にある研究機関、大学、公設試、企業との交流を活性化することで、存在感のある国立研究所の在り方を追求してきました。独立行政法人化の議論が本格化してきた折、9月3日付で電子技術総合研究所の所長を拝命し、まさに晴天の霹靂の思いでした。108年の歴史の中で電子技術の先駆者たるに相応しい多くの輝かしい業績を残してきた研究所の所長ということで、その責任の重さをひしひしと感じています。

電子技術総合研究所は、情報・電子技術を基盤として、エネルギー、標準分野にまたがる幅広い産業科学技術の発展に貢献する研究開発を展開しています。新世紀を迎えるにあたり、環境問題、高齢化社会への対応、ネットワークセキュリティの確立などに対する社会的要請は日増しに強くなっており、早急な対応を要する技術的課題が山積みしています。また、

この不透明な経済状況の下、新規産業の育成に対する国立研究所の貢献を期待する声も大きなものとなっています。今更ながらに、電子・情報技術に関する総合的な研究開発力を有する当所への期待の大きさと、それに応えていく責任の重さを痛感しているところです。また、環境やネットワークの問題を解決するためにはグローバルな取り組みも必要であり、その意味でも研究開発の国際的展開を図ってきた国立研究所の役割は大きいと考えられます。

近年のコンピュータの長足の進歩と情報通信の急速な高速・大容量化の結果、世界中の膨大な数のコンピュータが結合された巨大なネットワーク社会が発生し、今なおその規模を驚くべき勢いで拡大しつつあります。コンピュータはオフィスのみならず「お茶の間」や子供の勉強部屋にまで浸透し、それに伴って、個人が得られる情報量は飛躍的に増大しています。その影響力はまことにすさまじく、今や社会構造までも変革しようとしています。一方、便利さの裏では、プライバシーの侵害や、ネットワークを悪用した犯罪等も増加しています。高齢者やいわゆる「情報弱者」をも含めた多様な利用者が、このような巨大ネットワーク環境を安全且つ快適に利用できることを可能にする、新たな技術の必要性が高まっています。当所では、情報の安全な伝達と高速で柔軟性に富んだ処理とを支えるソフトウェア技術と、その基盤となるエレクトロニクス技術や光情報通信技術等のハードウェア技術とを融合した新しい研究領域を形成し、次世代のネットワーク技術の開発を推進しています。

次世代シリコンLSI技術の核となる0.1~0.05 μmの集積回路技術と、それを用いてコンピューターシステム全体を一つのLSI上に構築する「システム・オン・チップ」技術の開発研究は、既存技術の延長では達成が困難なため、投資規模もリスクも大きくなります。ところが、昨今の厳しい経済状況は、以前までのような企業ごとの大規模な投資を許さない状況にあります。他方、世界に目を転じると、この分野における各国間の開発競争は一段と激しさを増しており、我が国が主導権を握る事が出来るか否かは、全く予断を許しません。このような社会的経済的状况を背景として、国立研究所を中心に人と予算を集中的に投下してオールジャパンでこの問題に取り組むことが、産業界から強く要請されています。今後このような産学官連携での取り組みがますます多くなることが予想され、それに伴って国立研究機関の役割も大きくなることは間違いありません。

このような状況の下、2001年4月1日には、独立行政法人化という、電子技術総合研究所、そして工業技術院傘下の研究所群全体が大きく生まれ変わる絶好の機会が到来します。現在、組織、研究領域、支援などいろいろな角度からのビジョン検討が行われており、独立行政法人化へ向けた議論はますます活発化、具体化してきています。しかしながら、「百里の道を行く者は九十里を半ばとす」、魂を入れる作業が始まるこれからが、最も重要な時と心得なければなりません。電子技術総合研究所が来たるべき新組織の中核となり、21世紀の我が国を真の意味で支えていくために、今こそ勇気と自信と気概をもって、未来に向かい突き進んでいく必要があるかと思えます。これまで皆様方に戴きました多くの激励とご支援に対しまして心から感謝の意を表しますとともに、今後ともより一層のご支援、ご鞭撻を賜りますようお願い申し上げます。



工業技術院筑波研究センターの銀杏並木

高品質強磁性トンネル接合素子の作製

Preparations of High-Quality Ferromagnetic Tunnel Junctions

材料科学部 スピントロニクスラボ 湯浅 新治*、安藤 功兒
 Materials Science Division, Spintronics Lab. Shinji Yuasa, Koji Ando
 *e-mail: yuasa@etl.go.jp
 融合研 ATP 佐藤 俊彦
 JRCAT-ATP Toshihiko Sato

We developed a new method to prepare high-quality tunnel junctions with ferromagnetic metal electrodes. We succeeded to deposit atomically flat amorphous Al_2O_3 tunnel barrier layer on ferromagnetic metals by reactive evaporation technique. Using this method, ferromagnetic tunnel junctions were prepared on Fe single crystal films with various crystal orientations. We realized MR ratio of 26% at low junction impedance with a good reproducibility. We also discovered new phenomena; crystalline anisotropy effect of TMR and complicated variations of TMR on barrier layer thickness.

Key Words

磁気RAM (MRAM)、トンネル磁気抵抗効果 (TMR)、強磁性トンネル接合

1. はじめに

情報化技術の高度化と普及に伴って、現在のような大きなパソコンを机の上に固定して使用する時代は終わり、各自が携帯する非常に小さな情報機器を用いて、あらゆるところに埋め込まれた小型情報機器とネットワークを介して通信しながら活動する時代がやってくると予想されている。そのような小型で高性能な情報機器は、一つのチップ上にコンピュータシステムを作りつけたシステム・オン・チップ (SoC) によって実現されよう。しかしながら、SoCを実現するためには、現在使用の電子デバイスの設計に大きな変更が必要となる。なぜならばCPU、メモリ、表示機器、ストレージなど多様で異なるプロセスで作製されている各デバイスをそのまま一つのチップ上に作製するが困難であるためである。メモリ関連素子に限定しても、現在、高速SRAM、高密度DRAM、不揮発性EEPROM、そして大容量記録用HDDなどの全く異なる原理で動作する複数のデバイスが使用されている。もしこのような、高速性、高密度性、不揮発性、大容量性を全て兼ね備えた単一のメモリーデバイスが実現できれば、SoCの機能は飛躍的に向上するはずである。このような観点から

次世代のメモリデバイスとして、磁性体を利用した磁気RAM (MRAM) に大きな期待が寄せられている。

MRAMの動作原理を図1に模式的に示す。強磁性金属で出来た上下2枚の電極の間に絶縁体バリア層を介してトンネル電流を流す。このトンネル電流の大きさが上下の強磁性体層の磁化の向きによって変化する現象が数年前に発見されトンネル磁気抵抗 (Tunnel Magneto-Resistance: TMR) 効果と呼ばれている。下部強磁性層の磁化の向きを固定して上部強磁

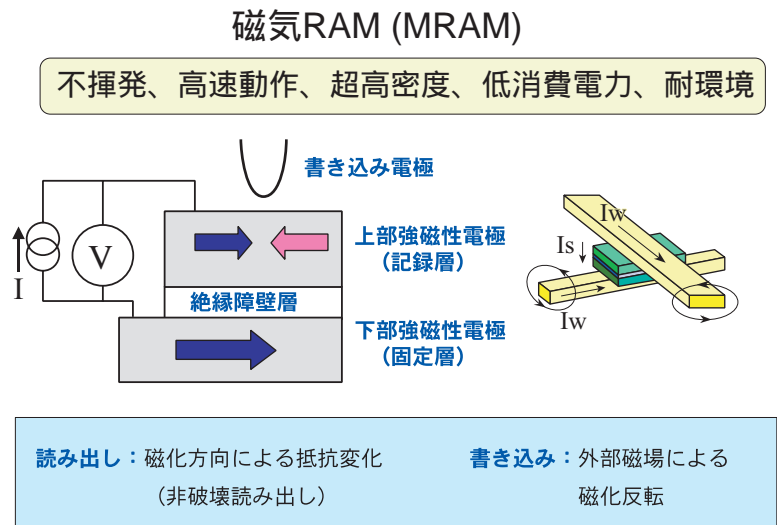


図1 不揮発性磁気RAM (MRAM) の概念図

性層の磁化の向きを変えて、そのトンネル抵抗の変化を電氣的に読み出す。書き込みは、弱い磁場を発生させて上部強磁性層の磁化の向きを変えることにより行う。

MRAMは磁性体を利用しているため不揮発性であり待機電力が不要で無限大のデータ保持時間を可能にするばかりでなく、SRAM並みの高速性や、DRAM並の高密度性などの利点を併せ持っている。しかしながら、新しい現象を利用するデバイスであるため、その実現には解決すべき技術課題も多い。なかでも重要な開発課題は、高いS/N確保のためのMR比(両側の強磁性層の磁化が平行なときと反平行なときの電気抵抗の差 $\Delta R/R$)の向上と、周辺半導体回路との信号レベルを合わせるためのトンネル抵抗の低インピーダンス化である。

当所では、MRAMを実現するための材料作製技術の開発を行ってきたが、今回、新しいトンネルバリア層の形成法を開発することにより、低いインピーダンスを有するTMR素子を再現性良く作製することに成功した。この高品質TMR素子作製技術の開発により、磁性層の結晶面方位の制御が可能となった結果、著しいMR比の増大を見出した。

2. 超平滑トンネルバリア層の作製

トンネルバリア層としてはアモルファス Al_2O_3 ($a-Al_2O_3$) 層が最も優れた特性を示し広範に用いられている。 $a-Al_2O_3$ 層は通常、下部強磁性層上に金属Al層を積層してから酸化(自然酸化またはプラズマ酸化)して作製される。しかしこの方法では、強磁性金属上に金属Alの安定な面方位(Al(111)面)を成長させることができる場合には平滑なバリア層を作製できるものの、Alの不安定面(Al(100)面など)が成長する場合には平滑なバリア層の形成は一般に困難である。下部強磁性層がFeの場合を例にとると、Fe(110)面上にはAl(111)面が成長するので問題ないが、Feのその他の面方位上に平滑なバリア層を作製することは困難であった。なお第3節で詳しく述べるが、強磁性層の結晶面方位を自由に選択できればMR比の大幅な増大が期待できる。そこで我々は、反応性蒸着法を用いて任意の磁性金属の任意の面方位上に等しく高品質の $a-Al_2O_3$ トンネルバリア層を積層する方法を開発した。

まず種々の単結晶基板とバッファ層を組み合わせることによって、原子レベルで平滑な表面を持つ下部強磁性層としてFe(100), Fe(110), Fe(211)単結晶薄膜

を作製した。この上に反応性蒸着法により Al_2O_3 層を積層した。すなわち、超高真空チャンバ中に高純度の酸素ガスを導入し、Kセルを用いて金属Alを一定レートで蒸発させてアモルファス Al_2O_3 ($a-Al_2O_3$)を成長した。一般に、良質な酸化膜を作るには化学組成比と一致した酸素が取り込まれることが重要である。酸素分圧と蒸着層に取り込まれる酸素原子の量の関係を図2に示す。膜中の酸素量は酸素分圧にほぼ比例して増加するが、 Al_2O_3 の化学量論組成に到達するとそれ以上には過剰な酸素が膜中に取り込まれないことが分かった。この性質を利用して、 Al_2O_3 化学量論組成が得られる酸素分圧($2 \cdot 10^{-6}$ Torr)よりも十分高い $6 \cdot 10^{-6}$ Torrの酸素圧力で成膜を行い、酸素欠損のな

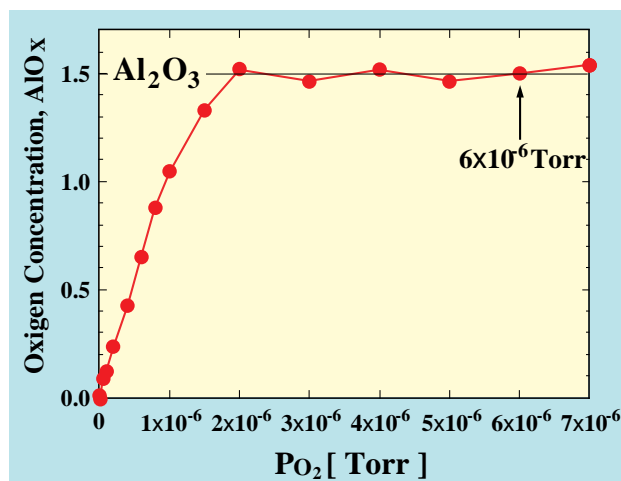


図2 酸化アルミニウム(Al-O)反応性蒸着における酸素ガス分圧と蒸着膜中の酸素濃度の関係。

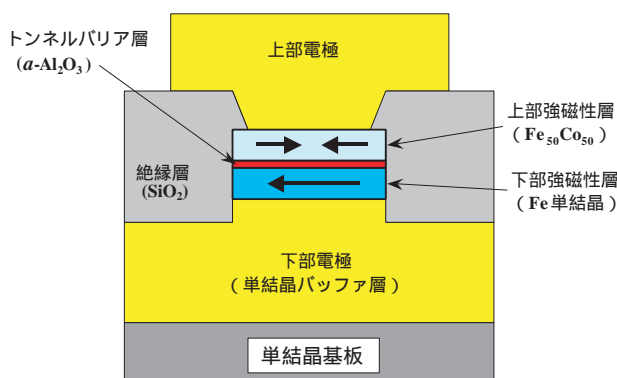


図3 強磁性トンネル接合の断面図。本研究で用いた接合面積は $10 \cdot 10nm^2$ 。

い良好な Al_2O_3 層を作製した。さらに Al_2O_3 層上に上部磁性層 ($\text{Fe}_{50}\text{Co}_{50}$ 合金 : (110) 配向多結晶) とキャップ層 (Au) を成長した後、一連のデバイスプロセス (フォトリソグラフィと Ar イオンミリング、 SiO_2 絶縁層のスパッタ・リフトオフ、上部電極 (Au) の蒸着・リフトオフ) を行い、図 3 に示すようなトンネル接合を作製した。接合面積は $10 \cdot 10 \text{nm}^2$ である。

強磁性トンネル接合の透過電子顕微鏡 (TEM) 写真を図 4 に示す。原子レベルで平滑な $\text{Fe}(100)$ 単結晶層の上に、設計通りの 20\AA の厚みを持つ $a\text{-Al}_2\text{O}_3$ 層が均一な膜厚で積層されている。 $\text{Fe}(100)/\text{Al}_2\text{O}_3$ 界面は急峻であり、下地の Fe 層は酸化されていないことが分かる。 Al_2O_3 層の厚み 10\AA , 30\AA の試料の断面 TEM 観察でも全く同様の結果が得られた。

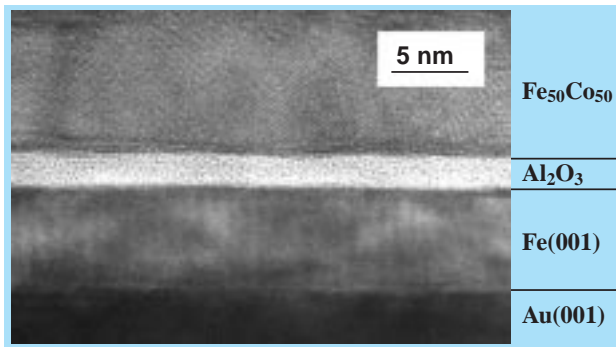


図 4 $\text{Fe}(100)/\text{Al}_2\text{O}_3/\text{Fe}_{50}\text{Co}_{50}$ トンネル接合の透過電子顕微鏡 (TEM) 写真。
 Al_2O_3 層の設計膜厚は 20\AA 。

トンネル接合抵抗値と $a\text{-Al}_2\text{O}_3$ バリア層の厚みの関係を、 $\text{Fe}(100)/\text{Al}_2\text{O}_3/\text{Fe}_{50}\text{Co}_{50}$ 接合を例にとって図 5 に示す。接合抵抗の対数プロットは $a\text{-Al}_2\text{O}_3$ 層の厚みに対してほぼ完全に直線的に増加することから、作製された $a\text{-Al}_2\text{O}_3$ 層の厚み $12\text{--}31 \text{\AA}$ の範囲で均一な特性を持つバリア層となっていることが分かる。 $\log R$ の傾きから見積もられた $a\text{-Al}_2\text{O}_3$ 層のトンネルバリアの高さ ϕ は 0.68eV である。 $\text{Fe}(110)$, $\text{Fe}(211)$ を下部磁性層に用いた場合も、全く同じバリア高を持つ Al_2O_3 層を作製することに成功した。さらに、どのバリア層の厚みの素子においても 1 枚のウエハ上の素子ごとの接合抵抗のばらつきを 10% 以内に抑えることに成功したことは、この手法が大変再現性の良いバリア層作製法であることを示している。接合抵抗の均一性は、大容量メモリ実現の重要なポイントである。本方法で作製された接合抵抗のばらつきは、MRAM の実用化に向けた目標値 (5% 以内) をほぼ実現したものと云える。

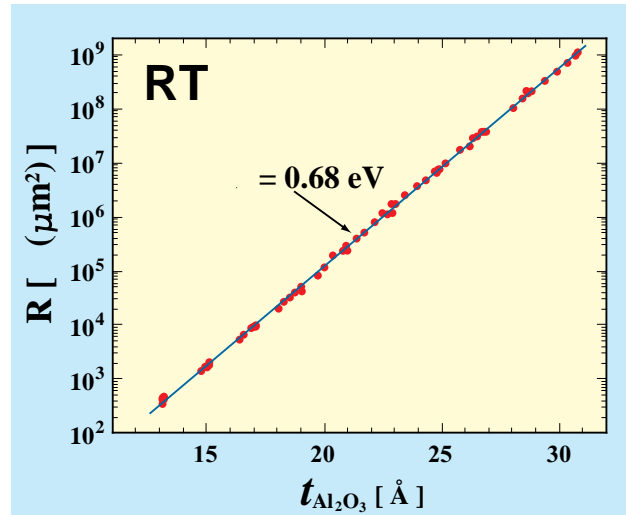


図 5 $\text{Fe}(100)/\text{Al}_2\text{O}_3/\text{Fe}_{50}\text{Co}_{50}$ トンネル接合の 1nm^2 当たりの接合抵抗。

3. 高性能 TMR 素子の設計

現在 TMR 素子の MR 比を向上させる手段として、スピンの分極率の大きな磁性材料を用いることが試みられている。TMR 素子の MR 比は、強磁性金属のフェルミレベルにおける上向きスピンを持つ電子と下向きスピンを持つ電子の状態密度の差 (スピン分極率) に比例して増大するからである。

一方、我々は全く別の有効な手段を考出した。すなわち、同じ強磁性物質でもスピン分極率の大きな面方位を利用すれば MR 比が向上すると考えた。なぜなら、強磁性金属のフェルミ面は極めて異方的な形状をしているため、スピン分極率は結晶面によって大きく異なるはずである。特に、トンネルバリア層が原子レベルで平滑で金属 / バリア層界面で電子の散乱が起こらないような理想的な接合の場合、トンネルバリア層にほぼ垂直な運動量 (波数ベクトル k) を持つ伝導電子だけがトンネルに寄与するため、面方位依存性が顕著になるはずである。今回開発された $a\text{-Al}_2\text{O}_3$ 反応性蒸着技術により強磁性金属の任意の結晶面上に高品質のトンネルバリアを作製することができるようになった結果、はじめて強磁性層の面方位を制御し、その違いを利用した接合素子を実現できるようになった。

4. 低インピーダンスで高 MR 比を示す強磁性トンネル接合の実現

$\text{Fe}(100)$, $\text{Fe}(110)$, $\text{Fe}(211)$ を下部強磁性層に用いたトンネル接合の MR 比を図 6 に示す。MR 比の最大値として $\text{Fe}(100)$ で 11%、 $\text{Fe}(110)$ で 23%、 $\text{Fe}(211)$ で 26%

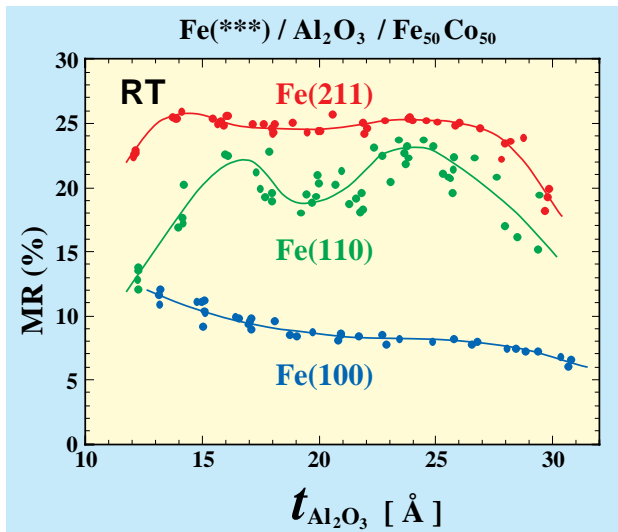


図6 Fe/Al₂O₃/Fe₅₀Co₅₀ トンネル接合の磁気抵抗比(MR)の Al₂O₃ 層の厚み依存性。
下部強磁性層の Fe は、(100)面、(110)面、(211)面の単結晶薄膜を用いた。

という値が得られた。MR比はバリア高 ϕ の値にも依存する量であるが、26% というMR比は $\phi = 0.68\text{eV}$ の低バリア高の接合としては非常に大きな値である。図はまた、TMR が強磁性層の面方位に依存することを明確に示している。このことから、Fe(211) 上で大きなMR比が得られた原因として、Fe フェルミ面の(211)方向の分極率が非常に大きいことが強く示唆される。

さらに図6は、MR比が Al₂O₃ 層の厚みに対して複雑な依存性を持つことを示している。従来報告のある実験では、金属 Al を成膜後に酸化するという手法が取られていたため Al の酸化し残しや下部強磁性層の過酸化などの問題があり、正確なMR比のバリア厚み依存性は分からなかった。理論的にはMR比はバリア層の厚みに依存しないと思われていたので、今回の我々の結果はスピントネル現象の発生機構に関しても再考を迫るものである。

このように、超平滑トンネルバリア層の作製手法と強磁性層の配向性制御を組み合わせることにより、低インピーダンスで大きなMR比を持つTMR素子の作製に成功した。この手法と、従来から行われてきた磁性層の新材料探索やバリア層の改質などの手法を組み合わせることによって、MR比のさらなる向上が可能となりMRAMの実現に大きく近づくことができよう。

5. まとめと今後の展望

反応性蒸着法を用いて、強磁性金属上に原子レベルで平滑なアモルファス Al₂O₃ のトンネルバリア層を作製する方法を開発した。これにより、接合抵抗 $300\text{W}(\text{nm})^2$ の低インピーダンス素子でMR比26%、特性のばらつき10%以内を実現した。この手法を用いて、種々の結晶面配向のFe単結晶を下部強磁性層に持つトンネル磁気抵抗(TMR)素子を作製し、TMRが強磁性層の面方位に依存すること初めて示した。これは、超平滑トンネルバリアの作製と強磁性層の配向性の制御がTMR素子の特性向上に有効な手法であることを初めて示したものである。

強磁性トンネル接合は、MRAMのみならず金属ベースのスピ機能素子を作製する上で最も重要な技術である。これまでの研究では1重トンネル接合を扱ってきたが、2重トンネル接合や3端子化によって、さらなるMR比の向上や新機能の発現、能動素子の開発などが期待できる。今回の我々の結果は、これらの新しいスピ機能素子を開発するための汎用性のある技術である。今後はこの技術もとに成膜・微細加工プロセスをさらに発展させることによって、新しいスピ機能をエレクトロニクスに活用するスピントロニクスの世界の開拓に弾みをつけるものと期待している。

研究課題名

特別研究：ナノ構造のスピ機能の研究

先導調査研究：スピントロニクス素子基盤技術に関する

先導調査研究

世界初のアナログ進化型 LSI (携帯電話用中間周波数フィルタ)の開発に成功

The development of an analog evolvable hardware chip for cellular phones

情報アーキテクチャ部進化システムラボ：ラボリ - ダ 樋口 哲也
e-mail:higuchi@etl.go.jp

Electrotechnical Laboratory and Asahikasei Microsystems Co. Ltd. have succeeded in developing the first analog evolvable hardware chip in the world which enables a high yield rate (96%), small-sizing (60% reduction) and low power consumption (40% reduction compared to similar products of Asahikasei Microsystems) for intermediate frequency filters for cellular phones.

1. 成果概要

進化システムラボでは、旭化成マイクロシステム(株)との共同研究により、携帯電話の中間周波数フィルタを実現するアナログ進化型LSIの開発に成功した。本LSIは、人工知能を利用した遺伝的調整機構を内蔵し、これにより、

- (1) 96%の歩留まり(製造した全LSIのうち、仕様を満たすLSI数の比率)
- (2) LSIの小型化(同社従来品の5分の2の大きさに縮小(フィルタ部分))
- (3) 小型化による消費電力の40%低減(同社従来品との比較)

を達成できた。

従来のアナログLSIでは歩留まりを得るために、アナログ素子の精度をあげる必要があり、そのために各素子(例:容量やトランジスタ)を大きく作らざるを得なかった。このため、素子の大型化、消費電力の増加を招いていた。しかし、本手法により、高い歩留まりを維持しつつ、小型化と低消費電力化が可能になった。

本手法は、中間周波数フィルタに限らず、アナログLSI全般に対して、歩留まり向上、小型化、低消費電力化を図れるため、画期的技術として注目されている(1998年 ICES Best Paper Award)。

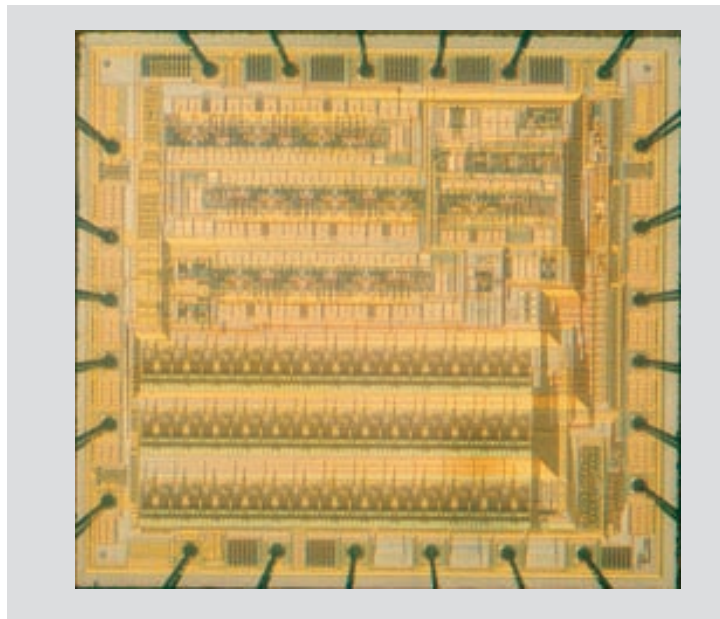


写真 進化型 LSI

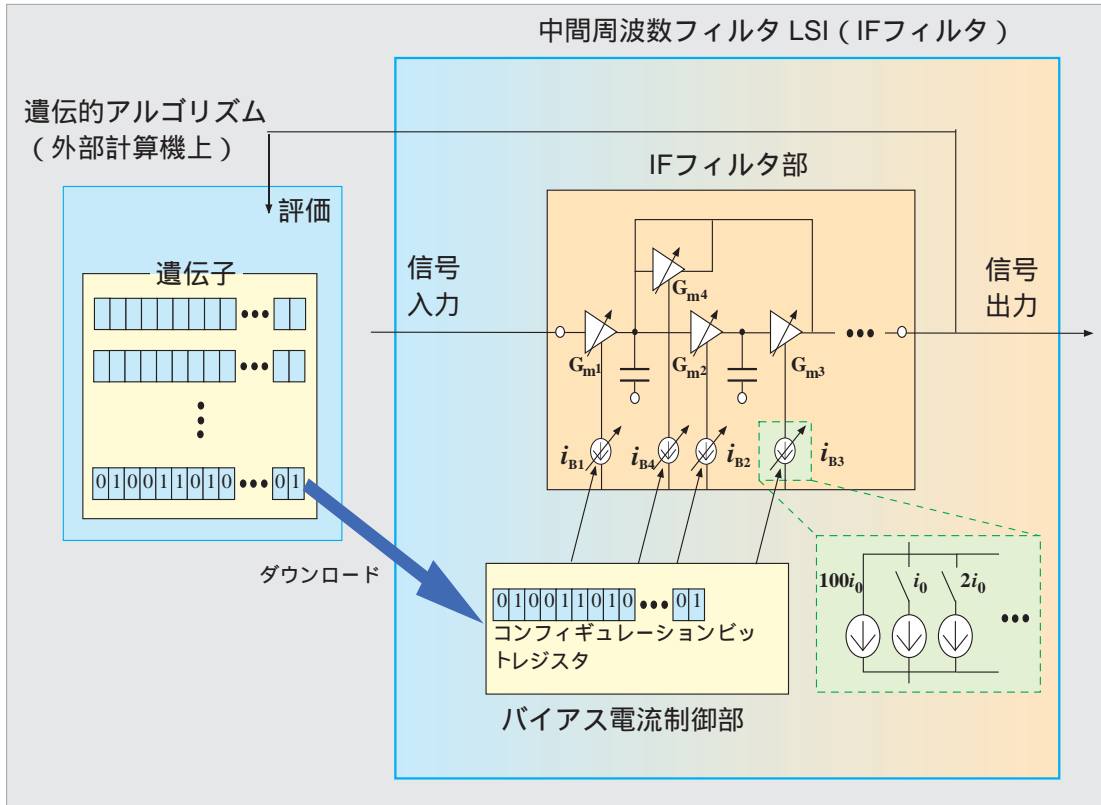


図1 本LSIの構造

本研究は、通産省リアルワールドコンピューティング計画における平成9年度の研究成果をもとに、平成10年度NEDO即効型提案公募事業によりLSI化を実現したものである。

2. 詳細内容

歩留まりの向上の仕組み

遺伝的調整機構

一般に高性能のアナログ製品ほど、製造時の精度のばらつきのために、仕様どおりの製品が得にくく、これが歩留まりの悪さにつながっている。しかし、本LSIでは、人工知能の進化型計算(遺伝的アルゴリズム)に基づく、LSI性能の調整機構を内蔵させ、個々のLSIごとに遺伝的アルゴリズムによる調整を行うことによって、製品仕様をみたくすることを可能にした。

具体的には、本LSIでは39個のアンプ(トランスコンダクタンス・アンプライア: 図1では G_m と表示)がカスケードに接続されているが、各アンプの利得(ゲイン)が製造時のばらつきにより、仕様通りの性能が達成しにくい。そこで各アンプに対するバイアス電流を、遺伝的アルゴリズムで調整可能なように設計した。これが、遺伝的調整機構であり、図1

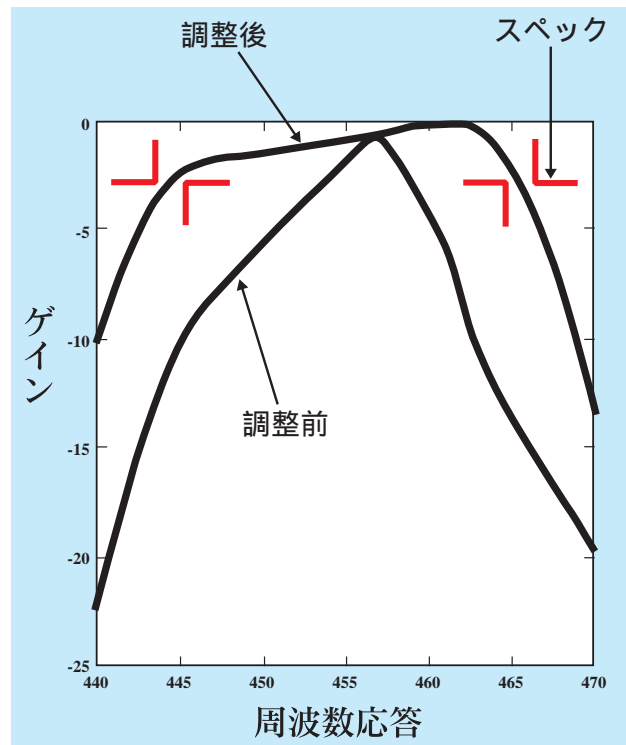



図2 本LSIの仕様(周波数特性)

でバイアス電流制御部と示したものである。コンフィギュレーションビットレジスタの内容(遺伝子)が、39個のアンプの利得を調整し、仕様を満たすフィルタ特性を実現する。各LSIごとに最適な遺伝子が外部のパソコン上の遺伝的アルゴリズムの実行によって定められる。最大39ヶ所を同時に調整することは人手では不可能であるが、探索性能に優れた遺伝的アルゴリズムを用いることで調整が可能となった。

フィルタの仕様

求められているフィルタの特性は、455KHzを中心周波数として、プラスマイナス10.5KHzの周波数で、マイナス3dBとなることで、 2においてスペックと記した部分を通るように特性を調整する。調整をおこなう前は、このスペックを満たすLSIはゼロである。しかし、実際の試作LSI29個に対して周波数応答特性(ゲイン)の調整を行った結果、29個中、28個のLSIをスペックインさせることに成功した(歩留まり96%)。

LSIの小型化と低消費電力化

一般にアナログLSIの精度を上げるためには、アナログ素子(抵抗、トランジスタ等)を大きく作る方法をとる。しかしながら、これでは回路規模が大きくなると共に、消費電力も増加する。しかし、本LSIのように、製造後にLSIごとに調整が可能であれば、たとえ初期の精度は低くても、小さい回路規模で設計することが可能になる。本LSIの場合、従来品にくらべ、フィルタ部の回路面積は5分の2まで縮小された。またこれに伴い、消費電力も40%減となった。ただし、本LSIは試作実験用で、実験用の余分な回路も付加されているので、商品化の場合は、さらなる小型化、低消費電力化が可能と考えられる。

用語説明

中間周波数フィルタ

テレビ、ラジオ、携帯電話等では、送受信に用いられている周波数が、100MHzから2GHzとなっている。受信の際、一般には一気に信号帯(たとえば電話なら3.4KHz)へと変換せず、一旦455KHzといった中間周波数を介して順次、周波数を変換する(この過程をダウンコンバートと呼ぶ)。中間周波数フィルタは、主としてこの中間周波数帯の不要信号除去を目的としたフィルタのことを指す。本LSIでは、455KHzを中心に上下10.5KHzの帯域を取り出す。

進化型LSI

進化型LSI、あるいは進化型ハードウェア(Evolvable Hardware; EHW)とは、ハードウェア自体が最適な性能をあげるために自律的にその構成を変更することのできる新しいハードウェアの概念で、人工知能の探索技法である遺伝的アルゴリズムを用いて、最適なハードウェア構成を決定する。1992年に電総研で提案されて以来、主にデジタル回路進化の研究が世界で行われ、進化型ハードウェアを主体とする国際会議が主催されており、今年7月は新たにNASAが進化型ハードウェアの会議を開催するなど、世界的に関心が高まっている。

本LSIは、従来のデジタル進化ではなく、アナログ進化を行う世界初のアナログ進化型LSIである。

進化型計算(Evolutionary Computation)

代表的なものに、遺伝的アルゴリズムと遺伝的プログラミングがあるが、これらは非常にロバストで、かつ効率的な探索アルゴリズムである。通常、広大な探索空間でのサーチには、問題に対する知識がないと、なかなか効率的には行えないが、進化型計算では事前知識なしにサーチが行える。ポイントは、探索にさきだつて解の候補を2進ビット列の形で表現し、複数候補を用意する。これら候補を遺伝子とみなし、淘汰、進化を繰り返すうちに、次第により良い解が求まっていく。方程式などを用いて解析的に解を求めることが困難な問題に対して効果的な探索手法である。

ハードエレクトロニクスの展開

材料科学部長 荒井和雄

e-mail:karai@etl.go.jp

1. はじめに

現代のエレクトロニクス文明が、シリコン半導体に支えられていることは言うまでもない。シリコンテクノロジーは、デバイス構造を工夫することによって、無限に進化し続けて行くように見える。しかしながら、シリコン半導体にもその物性値からくる性能限界はある。シリコンカーバイド(SiC)やGaN、それにダイヤモンドなどのワイドバンドギャップ半導体では、絶縁破壊電界や飽和移動度がシリコンに比べ大きく、優れている(表1)。そのためにシリコン素子ではできない高パワーで低損失、超高周波の厳

しい(ハード)仕様を満たし、高温などの厳しい(ハード)環境で動作ができる素子の実現でき、電力、通信、耐環境分野でのエレクトロニクスでの革新が期待できる(図1)。ワイドバンドギャップ半導体材料は化学結合の強く、材質が硬い(ハード)こともあり、ワイドバンドギャップ半導体の拓く新しいエレクトロニクスの世界を、期待をこめてハードエレクトロニクスと名付けた。

材料科学部においては、80年代に、SiCの多形の一つである3C-SiCのシリコン上へのCVDヘテロエピタキシーの研究をすすめ、MOSFETの試作まで行っ

表1 種々の半導体の物性定数(室温)と性能指数(性能指数はSiを1として示した)
(吉田貞史:電子情報通信学会誌 79,(1996)1219)

半 導 体	Si	GaAs	SiC	GaN	ダイヤモンド	
			3C	6H		
バンドギャップ E_g (eV) (遷移型)	1.1135 (間接)	1.428 (直接)	2.2 (間接)	2.86 (間接)	3.39 (直接)	5.47 (間接)
熱伝導度 κ (W/cmK)	1.51	0.54	4.9	4.9	1.3	20.9
移動度 μ 電子 (cm^2/Vs)	1500	8500	800	460	900	1800
	450	420	70	10	400	1600
誘電率 ϵ_s	11.9	12.91	9.72	9.66 ^a , 10.03 ^c	95 ^a , 10.4 ^c	5.93
ϵ_∞	11.6	11.10	6.52	6.52 ^a , 6.70 ^c	5.35 ^a , 5.35 ^c	5.76
飽和ドリフト速度 v_s (cm/s)	$1 \cdot 10^7$	$2 \cdot 10^7$	$2.7 \cdot 10^7$	$2.0 \cdot 10^7$	$2.7 \cdot 10^7$	$2.5 \cdot 10^7$
絶縁破壊電界 E_B (V/cm)	$3 \cdot 10^5$	$4 \cdot 10^5$	$3 \cdot 10^6$	$3 \cdot 10^6$	$2.0 \cdot 10^6$	$4.0 \cdot 10^6$
性能指数 M_J	1	7.1	730	700	320	1100
M_K	1	0.48	5.9	5.1	1.6	31
$1/R_{on}$	1	13	3.4	4.3	14	72
f_{MAX}	1	8.6	7.5	4.9	7	36

ジョンソン指数: $M_J \sim (v_s \cdot E_B)^2$ 、キー指数: $M_K \sim \kappa (v_s / \epsilon_s)^{1/2}$

1/オン抵抗: $1/R_{on} \sim \epsilon_s \mu E_g^3$ 、最大動作周波数: $f_{MAX} \sim \mu E_B E_g^{1/2}$

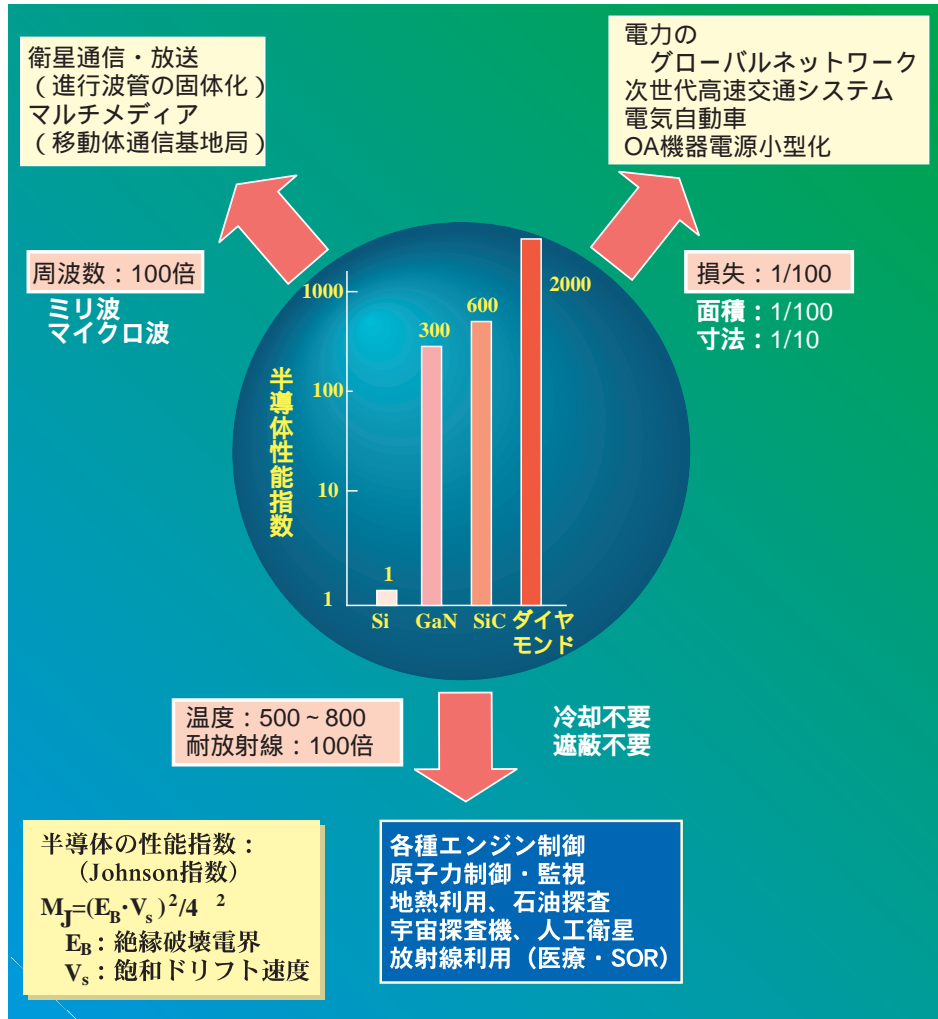


図1 ワイドバンドギャップ半導体の拓くエレクトロニクスの世界

ている。現在も、減圧CVD法による膜質の向上を図り、3C-SiCによる高性能デバイスの可能性を追求している。GaN系材料については、MBE法による多形制御の研究からヘテロ構造をもつ高周波デバイスへの展開を目指している。ダイヤモンドについては、ここ数年、半導体研究開発の立場から、これまで余り考慮されてこなかった不純物除去を徹底した制御されたホモエピタキシャルCVD法を開発してきて、最近、結晶薄膜の原子レベルでの平坦化に成功し、ダイヤモンドの優れた物性値をショットキーダイオードで実証した。

産業界では、SiCのデバイス研究開発は、青色発光素子として進められていたが、最近のGaN系青色発光素子の開発によりこの方面の出口はなくなった。耐熱素子やパワー素子としての展開は、90年代になって直径35mm程度の、ある程度の品質の基板が米国Cree社により商用化されてから急激に立ち上がっ

て来た。SiCでは、絶縁破壊電界が大きく、ソースとドレイン間を短くかつ高濃度のドーピングができるので、素子が導通状態にあるときのオン抵抗を1/100に低減することができる(図2)。周辺回路も含めた電力変換器としての電力損失は1/4~1/3に低減されたものと見積られている。

一方、電気エネルギーの重要性はますます増大していき、21世紀半ばには、日本でも、全エネルギーに占める電気エネルギーの比率は40%から55%程度増加し、必要な電源・設備容量は現在の2倍、2.5億kW程度に、年間電力量は1.5兆kWhに達すると予想されている。電力の有効利用は時代の要請であり、各種電力利用システム及び電力供給システムに伴う変換損失低減が求められる。そこにおけるキー技術は、パワーエレクトロニクスであり、その中核となるものは、高性能なパワー半導体素子である。SiC素子化の研究開発は世界的に見ると、スウェーデン(ABB)、ドイ

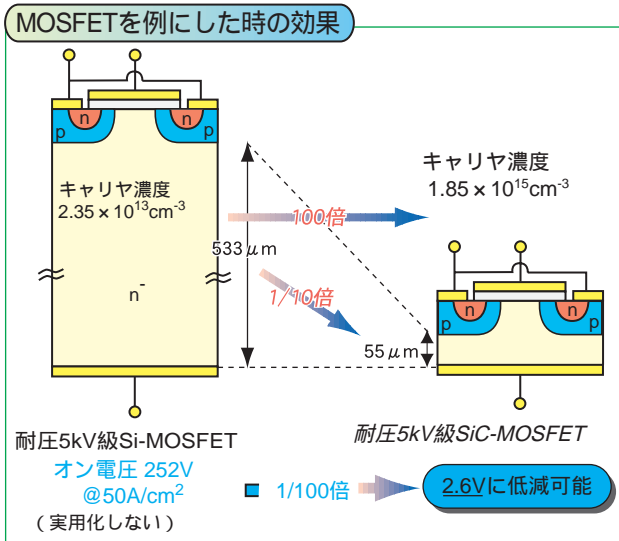


図2 SiC半導体によるオン抵抗低減の原理図

ツ(シーメンスとエルランゲン大)、アメリカ(クリー:基板供給元、ノーススロップグラマン)などのグループが精力的に進めている。なかでもスエーデンの世界的電力機器メーカーのABBグループは2010年にはSiC素子時代にすると呼びかけて大規模な研究開発を進めている。

産業科学技術制度の先導研究「ハードエレクトロニクス」を96-97年度に行った。その間、ワイドバンドギャップ半導体のもつ超低損失電力素子として

の原理的優位性の周知と、SiC研究開発状況の世界的進展というシーズサイドの動き、それに電力有効利用へのニーズも高まった。その結果、平成10年度からニューサンシャイン計画(NSS)のもとに、第一期5年計画で、SiCなどのワイドバンドギャップ半導体による低損失・高速パワー素子実現のための「超低損失電力素子技術」開発がスタートした。将来の実用技術につながる基盤技術開発を目標としている。

2. 「超低損失電力素子技術」開発の基本計画

ワイドバンドギャップ半導体は超低損失電力素子材料としての可能性を持つが、SiCでは素子開発の基盤であるバルク結晶基板のある程度の大きさや品質のものが存在するのに対し、他の材料ではそのようなバルク基板が存在しない。また、SiCはpn制御ができ、Siと同じようにSiO₂を絶縁膜として使えるなど、色々解決すべき問題はあがるが、デバイス構成のための基本要件を満たしている。ダイヤモンドは物性値はSiCより優れているが、大型結晶基板の成長が極めて困難であったり、良質な絶縁膜やn型が開発されていないなどの素子化のためのより困難な課題を抱えている。従ってより近い将来の実用技術につながる基盤技術開発の観点から、SiCを次世代超低損失電力素子半導体材料のフロントランナーとして位置づけ、プロジェクトの中心に置いた。国研としては、

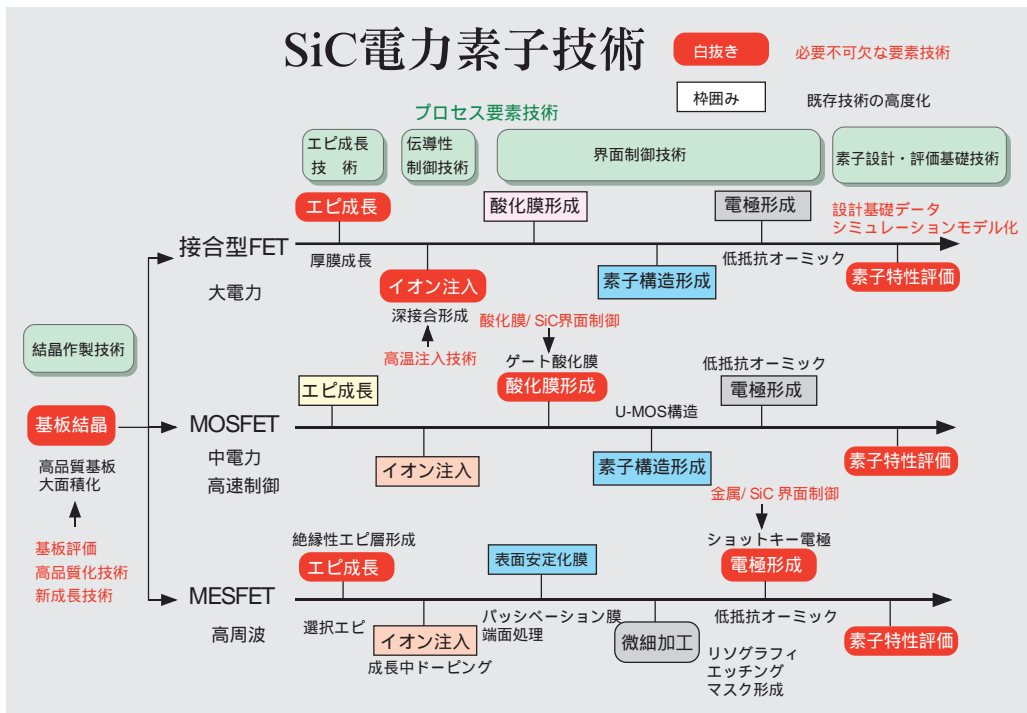


図3 SiC電力素子技術

ハードエレクトロニクス全体の重要性を考慮して、GaNやダイヤモンドの開発にも力を注ぎ、技術動向をにらんで適時、適宜の開発を進めて行く。

本プロジェクトの第一期の主目標は、SiCを中心とした素子化基盤技術開発を行い、超低損失電力素子の実用化への見通しを得ることである。SiCでも電子素子としての素子基本構造がシリコンと変わるわけでない。しかしながら、材料が変わることによって素子作製上、種々の困難な課題がある。SiCは昇華法という特異な手法で成長させるため、マイクロパイブという1ミクロン程度の貫通欠陥が生じやすく、大口径化も難しい。高パワー素子の実現には、バルク結晶上への高品質・高成長のエピ成長技術が欠かせない。伝導性制御のためのドーピングでは、拡散法ではだめで、高温注入(500-1000 C)・高温アニール(1600-1700 C)が必要である。MOS界面の欠陥準位密度もSiに比べ1桁以上多く、チャンネル移動度もバルクの物性からから予想されるより遥かに低い。電極形成においても金属/SiC界面制御が不十分である。デバイスシュミレーションを行うにも物理モデルを構築するに足る物性値が不足している。これらプロジェ

クトで開発すべき必要不可欠な要素技術の位置づけを図3に示す。こうした種々の要素が絡み合っ、素子特性のポイントである、オン抵抗値がSiCの物性値からは程遠く、最近になってデンソー、シーメンス、パナソニックなどからSiの限界を超えるオン抵抗を持つMOS素子の発表がはじめてきたばかりである。産官学の議論により、実用化技術への見通しを明らかにするためには、結晶基板成長・デバイスプロセス・基本デバイス作製の一貫研究による問題の解決が必要と結論された(図4)。

基本計画では、必要不可欠な要素技術を開発する基盤技術開発と基本デバイスによりSiCなどの優位性を実証する素子化研究の並行開発を行うことを決めた。基盤技術開発では、バルク基板成長の本質の解明、各種プロセスにおける機構が解明され、いわば基板・プロセスの教科書の基礎が築かれることが期待される。このステップをきることによってはじめて、再現性、信頼性も含めた「実用化への見通し」を得ることができる。素子化研究では、主として現在のSi既存技術を援用して、3種の基本デバイスを作製し、SiC等の優位性を実証する。世界的にみて激しくなっている素子の開発競争に対処する意義もある。基本デバイスとして、3種のユニポーラ素子を取り上げたのは、現在p型SiC結晶には不純物の活性化が低く移動度が小さいなどの問題があり、電子および正孔の両者が関与するバイポーラデバイス(pnp接合及びnpn接合)より単一キャリアで動作するユニポーラデバイスの方が早期実現が高いからである。良質なp層の開発は基盤研究開発の一つの課題として取り上げ、その成果を基礎に第二期以降のバイポーラ素子の開発に備える。当面、接合FETとMOSFETではオン抵抗値が同構造・同耐圧のSi素子のほぼ1/10を目安として、MOSFETでは電力密度値が同サイズのSiあるいはGaAs素子のほぼ10倍を目安として優位性を実証することになっている。

プロジェクトを前期3年、後期2年に意識的にわけて運営する。基盤技術と素子化技術の連係は重要である。理想的に行けば、前期では、素子化技術からは基盤技術開発に対して、プロセスにおける技術課題(経済性に関係することを含む)がなげかけられ、後期においては、基盤研究において開発されたブレークスルー要素技術が素子化技術で活かされることになる。SiCダイオードでは、SiCの物性値をほぼ反映した特性が得られている。こうした素子構造・プロセスが簡単なダイオード素子やサイズが小型な高

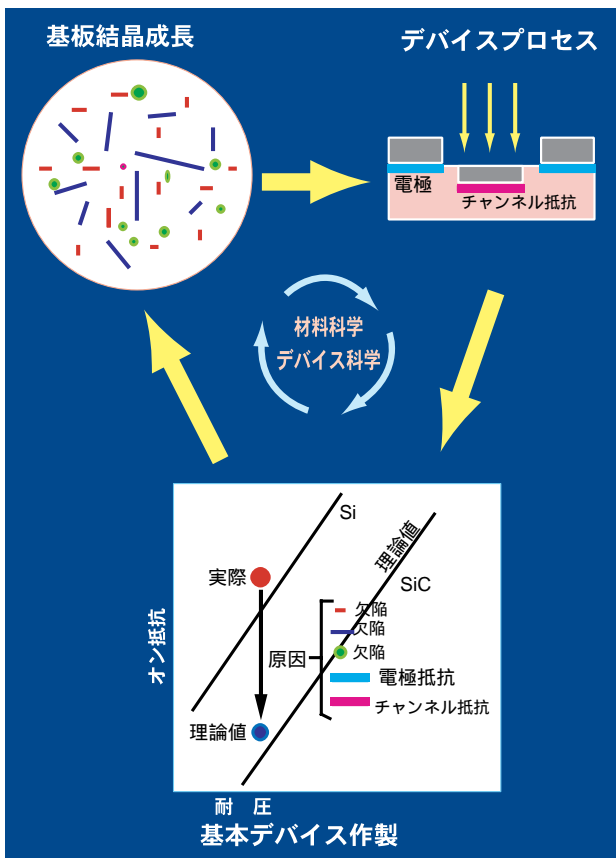


図4 結晶基板-デバイスプロセス-基本デバイス一貫研究の必要性

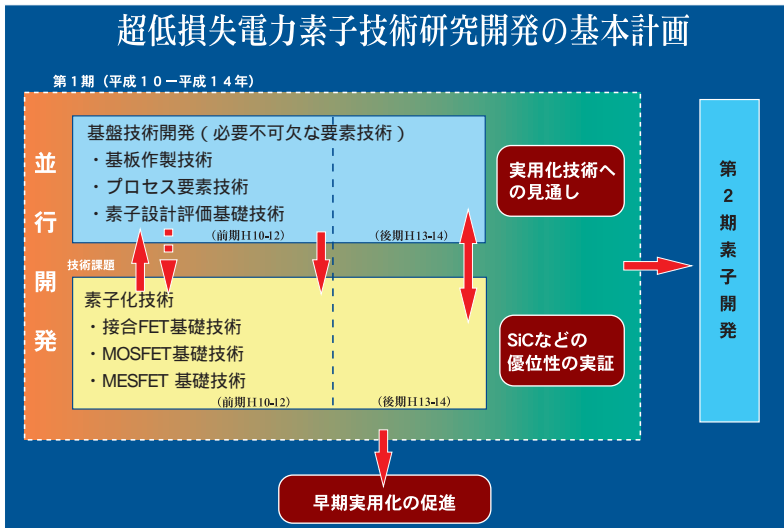


図5 基本計画の概念図

周波高出力素子やなどは基板技術や周辺技術の進展によって実用化が早まることも期待される。適時な実用化促進も肝要である。基本計画の概念を図5に示す。

3. 研究開発体制

プロジェクトの研究開発体制を図6に示す。プロジェクトはNEDOへ委託され、超低損失電力素子技術研究開発の実行は新機能素子協会(素子協)に再委託されている。並行して、エンジニアリング振興協会に再委託して、「次世代パワーデバイス実用化調査委員会」を設け、研究開発成果含めた超低損失電力素子実用化のためのシステム上の課題と環境への貢献度を明らかにする。これにより、研究成果の一層の早期実用化が促進される。委員長は当所エネルギー部長である。

前述のように、基盤研究開発における基板結晶技術・プロセス技術・基本デバイスの特性の研究開発は互いにリンクしており、それらのブレークスルー技術の開発には異業種、多様な専門家をとり込む必要があり、集中研方式が不可欠である。素子協が先進パワーデバイス研究室を電総研内に設置し、電総研のハードエレクトロニクスラボと共同研究を行うことによって産学官からなる研究体制をしいている。集中研にはデンソー、昭和電工、日立、三洋、東芝、日産自動車、沖電気、関西電力から10数名の研究者が参加している。必要に応じて分室も認めている。大学からは、招へい研究者として参加していただいている。

素子化研究は、急速に進展している世界のSiC素子開発の流れに対し、シリコンテクノロジーの援用で

基本デバイスの作製にトライして、限界を追求していくことが重要であるので、分散研として行う。企業のポテンシャルと企業戦略としての位置づけの重要性に応じて、個別課題の目標に挑戦している。日立がJFET、三菱電機がMOSFET、新日本無線がMESFETを担当している。

本プロジェクトの研究開発分野の研究者人口はいまだ少なく、かつ材料から物性、デバイスと多方面の研究課題を抱えている。積極的に大学との協力関係をすすめ、必要に応じて大学に再委託をしてプロジェクトの効率的推進を図っている。

国研への予算においては、基盤研究開発を補完する、結晶成長、プロセスの機構解明・制御の新技術に重点を置いた研究を行うとともに、SiC以外の超低損失電力素子材料として有望なワイドバンドギャップ新材料(GaNやダイヤモンドなど)の研究を進めている。研究開発には多彩な人材が必要で、ハードエレクトロニクスラボには、5部(材料科学部、電子基礎部、電子デバイス部、極限技術部、量子放射部)から10数人と10人近いポスドクの参加を得ている。

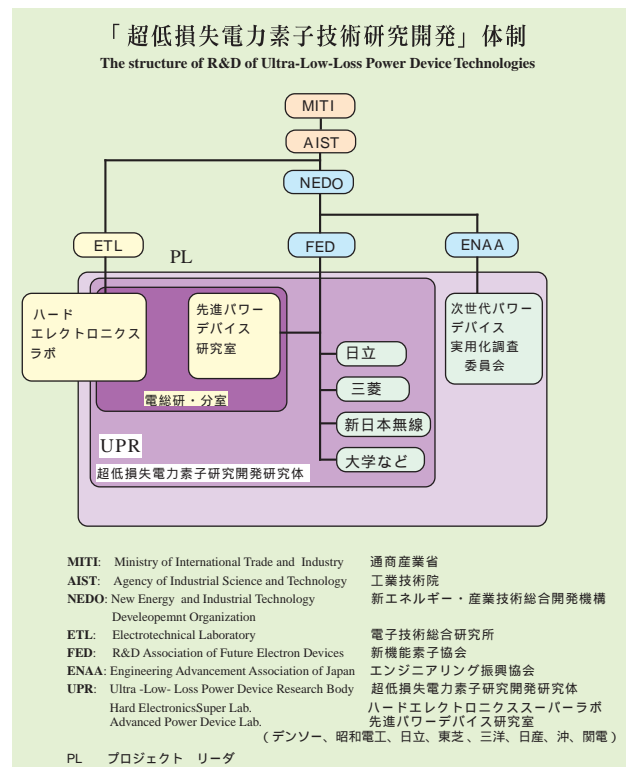


図6 研究開発体制図

プロジェクトの運用にあたっては、プロジェクトリーダーを置き、以上すべての研究課題を統括し、有機的・効率的に運用する、プロジェクトリーダー制を採用している（産学官の共同研究契約、運用規程、知的財産規程などは適宜定めている）。特に、基盤研究開発と素子化研究開発における技術課題の共有と共同的解決を実行するために、超低損失電力素子技術研究開発研究体(UPR)を形成し、UPR 技術検討会を月一回程度開催し、課題の抽出と解決に努力している。プロジェクトのフェーズとしては、比較的材料・プロセス研究が重要であるので、リーダーは材料科学部長が担当している。

4 . 期待をこめて

本プロジェクト第一期により、SiC素子性能のSi素子に対する原理的優位性が実証されれば、ニーズに対する展望が開かれ、デバイス企業のみならず、新たな結晶メーカーも含んだ企業やパッケージング、電子部品の周辺技術の開発の参加が期待できる。恐らく差別化された特徴ある応用分野における部分的な実用化を突破口として、実用化が加速されるのではないだろうか。第一期においては、第一期において得られたバルク結晶・素子プロセスにおける基盤技術

を踏まえて、各種用途に向けた素子開発が進められるとともに、量産性やコストをにらんだ大量生産技術へ向けての共通基盤技術のブラッシュアップが図られ、産業としての基盤が築かれる。第一期では、高信頼、大容量、高耐圧の素子作製技術の開発に取り組み、システムの革新が目指される。欧米においては、次世代のパワーエレクトロニクスの構築を目指したパワーエレクトロニクスセンターが発足したと聞く。第一期以降においては、第一期とは異なる研究開発のフェーズにあったプロジェクトの体制を考えていく必要もあろう。

図7に電力素子がシリコン素子からSiC素子に置き換わっていけば、どれだけ電力変換損失が低減されるかを示した。新しい素子の導入は、まず産業・民生用の機器から、ついでコストの低下と信頼性の確認を得るに従い、中小容量の分散電源や配電系統、さらに大容量の基幹系統の電力システムへと進むものと考えられ、2030年には580万kWの低減が期待できると予想されている。

電総研ではエネルギー部を中心として新しいエネルギーネットワークのあり方の研究が開始されている。「超低損失電力素子」はそこでの重要なコンポーネントと位置づけられる。SiCを中心としたワイドバンドギャップ半導体素子は、Si素子の単なる置き換えではなく、これまでにない超低損失・高温動作・高周波といった性能をあわせもつ故に、まったく新しいシステムを実現させる可能性をもつ。そうした可能性を追求することこそ、ハードエレクトロニクスの目標とすべきであろう。電総研における伝統ある強電の研究が、新しい素子技術とネットワークの考えで価値あるコンセプトを生み出して行く研究へと新展開することを期待している。

(電子技術総合研究所彙報 第63巻第1,2号より転載)

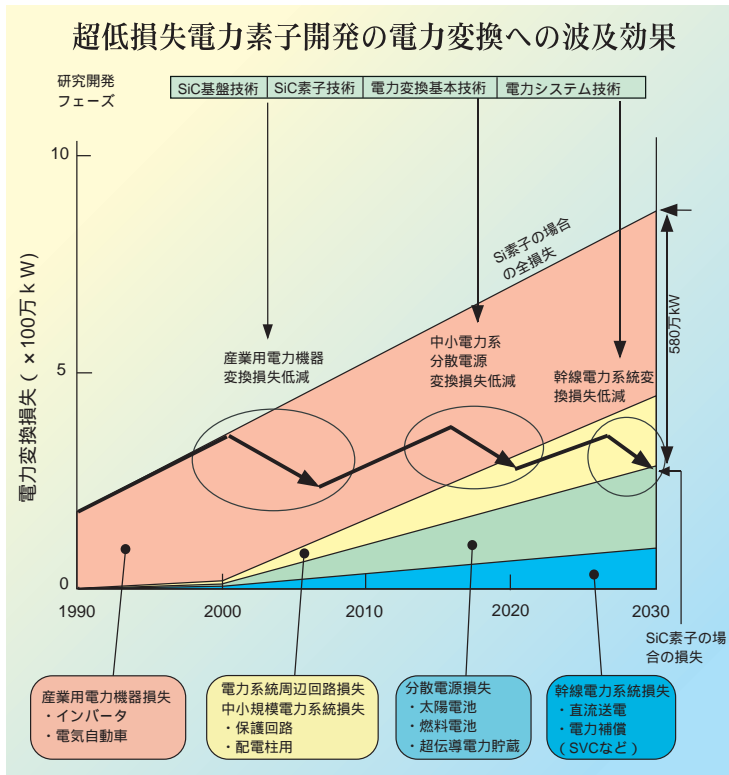


図7 超低損失電力素子開発の電力変換への波及効果 (石井格：工業技術 38,(1998) 18-21)

9月24日、江口一雄衆議院議員は工業技術院筑波研究センター5研究所を視察された。電総研では、最初に坂本電子デバイス部長が、LSI技術による次世代フラットパネルディスプレイについて、現在あるブラウン管、液晶ディスプレイと比較しながら、動作が高速で、省電力であることを説明した。薄膜太陽電池では、神本次長及び荒井材料科学部長が、アモルファスシリコンと微結晶シリコンを用いた、フィルム上の太陽電池を作成するのに必要なCVD装置について説明した。マルチモーダル対話システムでは、コンピューターが人との対話処理ができる機能を、大津知能情報部長及び坂上知能情報部主任研究官が、実演をしながら説明した。



人事異動

氏名	(新)	(旧)
平成11年9月3日付		
梶村 皓二	工業技術院長	所長
児玉 皓雄	所長	大阪工業技術研究所長
諏訪 基	大阪工業技術研究所長	次長
神本 正行	次長	エネルギー部長
	エネルギー部長に併任	
平成11年10月1日付		
寺田 教男	文部省(鹿児島大学)	材料科学部主任研究官
酒井 広文	文部省(東京大学)	光技術部主任研究官
神本 正行	エネルギー部長の併任解除	次長兼エネルギー部長
大和田野 芳郎	エネルギー部長	企画室長
中島 秀之	企画室長	情報科学部長
橋田 浩一	情報科学部長	知能情報部主任研究官
松畑 洋文	企画室開発班長の併任解除	電子デバイス部主任研究官兼企画室開発班長兼開発班開発係長
	企画室開発班開発係長の併任解除	
山名 早人	企画室国際班長の併任解除	情報アーキテクチャ部主任研究官兼企画室国際班長兼企画室国際班国際研究係長兼国際研究協力推進室国際企画係長
	企画室国際班国際研究係長の併任解除	
	国際研究協力推進室国際企画係長の併任解除	
	企画室開発班長に併任	
	企画室開発班開発係長に併任	
池上 敬一	企画室国際班長に併任	電子基礎部主任研究官
	企画室国際班国際研究係長に併任	
	国際研究協力推進室国際企画係長に併任	
岡野 眞	極限技術部主任研究官	エネルギー部主任研究官
我妻 洸	極限技術部主任研究官	エネルギー部主任研究官
海保 勝之	極限技術部主任研究官	エネルギー部主任研究官
玉田 紀治	極限技術部主任研究官	エネルギー部主任研究官
新井 和昭	極限技術部主任研究官	エネルギー部主任研究官
樋口 登	極限技術部主任研究官	エネルギー部主任研究官兼極低温エネルギーセンター運営室長

淵野 修一郎	極限技術部主任研究官	エネルギー部主任研究官
野村 晴彦	極限技術部主任研究官	エネルギー部主任研究官
立石 裕	極限技術部主任研究官	エネルギー部主任研究官
関根 聖治	エネルギー部の併任解除 極限技術部に併任	研究調査官兼エネルギー部
石井 格	極限技術部に併任	エネルギー部主任研究官
名取 尚武	極限技術部主任研究官	エネルギー部主任研究官
山口 浩	極限技術部主任研究官	エネルギー部主任研究官
田中 忠良	エネルギー基礎部総括主任研究官	エネルギー部総括主任研究官
金成 克彦	エネルギー基礎部主任研究官	エネルギー部主任研究官
高野 清南	エネルギー基礎部主任研究官	エネルギー部主任研究官
加藤 健	エネルギー基礎部主任研究官	エネルギー部主任研究官
根岸 明	エネルギー基礎部主任研究官	エネルギー部主任研究官
野崎 健	エネルギー基礎部主任研究官	エネルギー部主任研究官
本間 格	エネルギー基礎部主任研究官	エネルギー部主任研究官
高澤 弘幸	エネルギー基礎部主任研究官	エネルギー部主任研究官
福田 隆三	エネルギー基礎部主任研究官	エネルギー部主任研究官
天野 雅継	エネルギー基礎部主任研究官	エネルギー部主任研究官
周 豪慎	エネルギー基礎部主任研究官	エネルギー部主任研究官
齋藤 喜康	エネルギー基礎部	エネルギー部
安藤 祐司	エネルギー基礎部	エネルギー部
高島 工	エネルギー基礎部	エネルギー部
早瀬 喜代司	エネルギー部総括主任研究官	エネルギー基礎部総括主任研究官
奥田 功	エネルギー部主任研究官	極限技術部主任研究官
三浦 永祐	エネルギー部主任研究官	極限技術部主任研究官
松嶋 功	エネルギー部主任研究官	極限技術部主任研究官
松本 裕治	エネルギー部主任研究官	極限技術部主任研究官
関根 重幸	エネルギー部主任研究官 エネルギー基礎部の併任解除	極限技術部主任研究官兼エネルギー基礎部
岩田 康嗣	エネルギー部主任研究官 極限技術部の併任解除	エネルギー基礎部主任研究官兼極限技術部
小山 和義	エネルギー部主任研究官	エネルギー基礎部主任研究官
谷本 充司	エネルギー部主任研究官	エネルギー基礎部主任研究官
芦田 久男	エネルギー部主任研究官	エネルギー基礎部主任研究官
佐藤 康宏	エネルギー部主任研究官	エネルギー基礎部主任研究官
杉本 久也	エネルギー部主任研究官	エネルギー基礎部主任研究官
前嶋 良紀	エネルギー部主任研究官	エネルギー基礎部主任研究官
島田 壽男	エネルギー部主任研究官	エネルギー基礎部主任研究官
八木 康之	エネルギー部主任研究官	エネルギー基礎部主任研究官
平野 洋一	エネルギー部主任研究官	エネルギー基礎部主任研究官
木山 浩子	エネルギー部主任研究官	エネルギー基礎部主任研究官
富江 敏尚	エネルギー部主任研究官	極限技術部主任研究官
小口 治久	エネルギー部に併任	エネルギー基礎部
加藤 進	エネルギー部主任研究官	極限技術部主任研究官
高橋 栄一	エネルギー部主任研究官	極限技術部主任研究官
齋藤 直昭	エネルギー部主任研究官	エネルギー基礎部主任研究官
屋代 英彦	エネルギー部主任研究官	極限技術部主任研究官
榊田 創	エネルギー部	エネルギー基礎部
渡邊 創	転任（情報アーキテクチャ部）	文部省（奈良先端科学技術大学院大学）
築山 俊史	産学官連携推進センターに併任	知能システム部主任研究官

編集 〒305-8568 茨城県つくば市梅園 1-1-4 工業技術院 電子技術総合研究所 0298(54)5059

表紙写真：金属 MBE 装置

強磁性トンネル接合の断面 TEM 像

URL <http://www.etl.go.jp/> e-mail: info@etl.go.jp

印刷・製本 ニッセイエプロ株式会社