

〔 解説 〕

ワイドギャップ半導体デバイス化材料研究の現状と課題

Prospect and Aspect of the Research on Wide Bandgap Semiconductor Devices

吉 田 貞 史
S. YOSHIDA

Recently, crystal growth and device fabrication techniques of wide bandgap semiconductors, like SiC, nitrides and diamond have been developed for realizing high power, high frequency, and high temperature devices. And some advantages of high power devices using these wide bandgap materials have been demonstrated. However, there still exist a lot of issues to be solved to realize these devices. Here, the characteristics of wide bandgap semiconductors, SiC, nitride semiconductors and diamond, as well as GaAs, are shown, and the situation of the research on the crystal growth and device processes of these semiconductors is briefly reviewed. Finally, the remained issues to be solved are pointed out.

§ 1 はじめに

近年, SiC, 窒化物半導体, ダイヤモンド等のワイドギャップ半導体を用いて, 高パワー, 高周波, 高温用の素子の実現を目指して結晶成長やデバイス化プロセスの研究が精力的になされるようになった。そして, 最近結晶作製上, あるいは素子化プロセス上でいくつかの break through がなされ, 種々の素子が作られ, Si 素子に対する優位性が示されつつある。例えば, SiC ダイオードや SiC-MOSFET ではオン抵抗が Si リミットを越えたという報告がなされている¹⁾。また, SiC-MESFET では電力密度が Si や GaAs をすでに越えている²⁾。これらの成果は SiC や窒化物等のワイドギャップ半導体のデバイス応用に明るい希望をもたらしている。しかし, これらのデバイスが真に実用化のレベルに達するにはなお数多くの技術課題の克服が必要であると思われる。

例えば, SiC では代表的な素子構造が MOS であることに見られるように, Si と似た点が多く, 実際, SiC 素子開発には多くの Si 技術が援用されている。しかし, SiC は多くのポリタイプを持つことや, 成長温度が極めて高いことなど, SiC 特有の性質も持ち合わせている。Si との大きな違いは, 常圧での熔融が出来ないため, バルク結晶成長が現状では昇華法に依らざるを得ないことである。このため, 大型の結晶成長が困難であり, SiC を用いたデバイス研究の進展を阻害している。また, SiC は IV 族の Si と C からなっているにもかかわらず, 約 18% のイオン性を

持っている。その意味で SiC は化合物半導体であり, ストイキオメトリ制御など GaAs 等と同様な取り扱いが必要である。一方, 窒化物は III-V 族化合物半導体の仲間であり, GaAs, InP などと同様, 混晶が存在し, AlGaIn/GaN ヘテロ構造などが作製可能である。その結果, 選択ドーピングによる 2 次元電子ガスによる高移動度が実現されている。また, 超格子構造 (単一量子井戸, 多重量子井戸構造) による発光素子 (発光ダイオードやレーザ) の高効率化がなされるなど, III-V 族化合物半導体で培われた技術や構造が多く援用されている。しかし, N は V 族であるが P や As とはかなり違っており, 成長温度が高いことや, N の解離圧が高いことなど, 他の III-V 族化合物とはかなり違った性質を示す。従来の III-V 族化合物は立方晶閃亜鉛鉱型結晶形をとるのに対し, 窒化物では通常六方晶系のウルツ鉱型結晶形をとり, 結晶異方性があることも大きな違いである。このように, ワイドギャップ半導体を用いたデバイス開発には Si や GaAs で培われた技術の援用だけでは解決できない課題があると思われる。

そこで, ワイドギャップ半導体として SiC, 窒化物, ダイヤモンドを取り上げ, その物性値とデバイス化プロセスの見地から, 個々の半導体のメリットと欠点, そして開発の現状と課題について述べる。GaAs はワイドギャップ半導体ではないが, Si に比べればワイドギャップであり, 高温素子等への応用が考えられている。そこで, GaAs も取り上げて議論することにした。

KEY WORDS : ワイドギャップ半導体, 炭化珪素, 窒化物半導体, ダイヤモンド, GaAs

Table 1 Materials parameters of semiconductors, Si, GaAs, SiC, GaN and diamond.

Semiconductor	Si	GaAs	SiC	SiC	GaN	diamond
			3C	4H		
band gap E_g (eV)	1.1135	1.425	2.20	2.90	3.39	5.475
(transition type) *	II-V	III-V	III-V	III-V	III-V	IV-VI
thermal conductivity κ (W/cmK)	1.51	0.54	4.5	1.9	1.8	20.9
mobility μ (electrons)	1500	8500	300	400	1500	1800
(cm ² /V ²) hole	450	420	50	10	400	1600
dielectric const. ϵ	11.9	12.91	9.72	9.60*	9.5*	5.64
ϵ_s	11.6	11.10	9.72	6.52*	5.45*	5.75
saturated drift velocity v_{sat} (cm/s)	1×10^7	2×10^7	2.7×10^6	2.0×10^6	2.7×10^6	2.5×10^7
breakdown field E_b (V/cm)	3×10^7	1×10^7	3×10^6	1×10^6	2.0×10^6	4×10^6

* E: direct (transition type) / indirect (transition type)

§ 2 炭化珪素SiC

2.1 物性と特徴

Table 1 に見るように, SiC は Si に比べてバンドギャップ E_g が 2 ~ 3 倍 (ポリタイプに依存), 絶縁破壊電界 E_b が約 10 倍, 飽和電子ドリフト速度 V_s が約 2 倍と大きいなど, 優れた物理的, 電気的性質を持つ。このため, これらの物性値から計算される性能指数が大きく, Si パワーデバイスの性能を凌駕する可能性を持っている。また, SiC は他のワイドギャップ半導体と違って p 形および n 形の伝導性が容易に制御できることや, Si と同様の熱酸化で酸化膜が容易に得られ, MOS 構造の作製が可能で大きな利点である。2 インチ径までの単結晶ウエハが市販されており, その上へのホモエピタキシャル成長で素子化が可能であることも他のワイドギャップ半導体にはない特徴であり, ワイドギャップ半導体の中で最も素子化研究が進んでいる所以である^{3,4)}。

欠点としては, まず, 多くのポリタイプが存在し, ポリタイプによって物性が異なるため, 結晶成長にはポリタイプ制御が必要であることである。SiC パワーデバイスの実用化には高品質の SiC 単結晶ウエハが必須である。現在, 6H-および 4H-SiC ウエハが市販されている。従来, デバイス化研究には主に 6H-SiC が用いられてきたが, 4H-SiCの方が移動度が高いことや移動度の異方性が小さいことから最近 4H-SiC が主に使用されるようになった。また, SiC は極性結晶であり, デバイス作製に(000 $\bar{1}$)面を使う場合には, (0001)Si 面と(0001)C 面の選択がある。面方

位によって SiC の結晶成長や酸化速度などが異なることや, 結晶成長の様相が違うなどが報告されている。このため, デバイス化にどちらの面を用いるかは議論のあるところである。また, UMOS 構造などのトレンチ構造では, {0001}以外の面も現れ, 取り扱いが複雑である。さらに, 六方晶系であるため, その物性は c 軸に垂直方向と平行方向とで異なるため, デバイス構造には異方性も考慮しなければならない。

3C-SiC は SiC ポリタイプの中で唯一の立方晶系の結晶形 (β-SiC) で, 結晶の対称性が高く, 等方的で, また伝導体の底 (谷) の数が少ない。このため, 谷間遷移確率が 6H-や 4H-SiC 等の α-SiC に比べて小さいことから, 大きな移動度が予測されている。また, 成長温度が低くできることから, 唯一 Si 上にヘテロエピタキシャル成長でき, 大面積の結晶を得ることが出来ることも捨てがたい特徴である。

2.2 結晶成長と素子化プロセス技術

Table 2 は SiC 素子化の研究の現状と課題とをまとめて示したものである。

(1) バルク結晶成長

SiC 単結晶成長においては近年大きな進歩が見られる。改良レーリー法により得られた単結晶 boules から切り出した 1 ~ 2 インチ径のウエハが市販されている。さらに, 直径 3 インチの単結晶ウエハの製作がデモンストレーションされている⁵⁾。結晶成長においての問題点は, 異なるポリタイプの混在であり, 結晶成長ではポリタイプ制御が重要である。二つ以上のポリタイプ結晶が混在すると,

Table 2 The present states and problems to be solved for realizing SiC devices

Process	Present State	Pblems to be solved		challenge
		soon ←	→ hard	
Substrate	diameter: 2inch (largest 3inch) micropipe: 100cm ² (best 0.8cm ²) other defects: 10 ³ cm ⁻² insulating sub.: 10 ¹³ Ωcm	3inch ←	large diameter → 6inch 0 cm ² <10 ³ cm ²	new growth tech.
Epi-Growth	growth rate ~ 2μm/h residual carrier conc. ~ 10 ¹⁴ cm ⁻³ thickness uniformity ~ 5% doping n ⁺ : 10 ¹⁹ cm ⁻³ p ⁺ : 10 ²⁰ cm ⁻³ doping uniformity ~ 10%		higt speed epi ~ several 10μm/h <10 ¹³ cm ⁻³ thickness and doping uniformity	new epi tech.
MOS Interface	D _{it} , D _{ox} ~ 10 ¹¹ cm ⁻² μ _{chan} ~ 100cm ² /Vs		~ 10 ¹⁰ cm ⁻² μ _{chan} ~ several 100cm ² /Vs	new MIS structure new channel structure
Ohmic/Schottoky	n: 10 ⁻⁵ ~ 10 ⁻⁶ Ωcm ² p: 10 ⁻³ ~ 10 ⁻⁴ Ωcm ²		stability 10 ⁻⁵ ~ 10 ⁻⁶ Ωcm ²	
Ion Implantation	hot impla.: 800 ~ 1000°C annealing ~ 1600°C		mask material? <1000°C, p-type	

(0001)面以外のポリタイプ境界が不整合界面となり、欠陥を誘起する。また、異なるポリタイプ結晶は、それぞれが異なる物性値を持つため、応用上問題である。このため、SiCの結晶成長では、ポリタイプを分離育成する技術が不可欠である。

Fig.1は市販のSiC単結晶ウエハを透過X線トポグラフで観察したもので、様々な欠陥が含まれていることがわかる⁶⁾。まず、ウエハを貫通しているマイクロパイプと呼ばれる欠陥が点状に見られる。マイクロパイプ自身は径1-数μmの微細な孔であるが、X線ではその周りの歪み場を観察するため、X線トポグラフでも観測される。この他c面上のすべり転位、刃状転位などが見られる。また、結晶の配向がわずかにずれたサブグレイン構造も存在する。この中で、マイクロパイプはデバイス応用上あってはならない欠陥で、それをなくすことが急務である。マイクロパイプの発生メカニズムについては、まだよくわかっていないが、大きなバースペクトルを持つ螺旋転位と考えられ、c軸長の長い結晶に起こりやすいと言われている。最近の成長条件の改良によりマイクロパイプ密度は10cm⁻²以下まで低減され、ベストでは0.8 cm²の値が報告されている⁵⁾。しかし、実用化には更なる低減が必要である。マイクロパイプ以外の欠陥のデバイス特性に及ぼす効果についてはまだほとんど明らかにされていないのが現状である。

半絶縁性基板は高周波素子の作製には不可欠である。V, Ti, Cr等の深い準位を形成する不純物の導入によって高抵抗結晶が得られている。例えば、Vドープにより10¹⁵

cm程度の高抵抗基板が得られている⁷⁾。将来、残留不純物や欠陥を低減し、ノンドープで半絶縁性を達成することが期待されている。

Fig.2はバルク結晶成長、ウエハ加工に要求される課題をまとめて示したものである。ダイヤモンドに次いで硬いSiCの切断や研磨も大きな課題である。結晶の径が大きくなるとともに、切断には長時間を要するようになり、その時間短縮のための技術開発が必要である。研磨には、SiC粒による荒削り、ダイヤモンドペーストによるポリシング

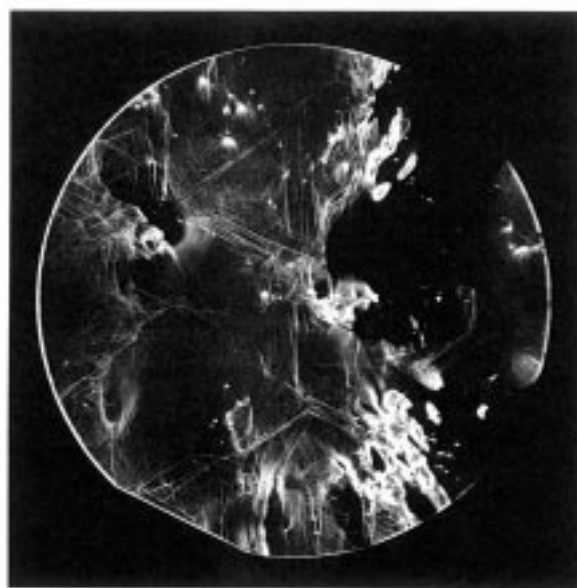


Fig.1 X-ray topograph image of a 6H-SiC wafer.

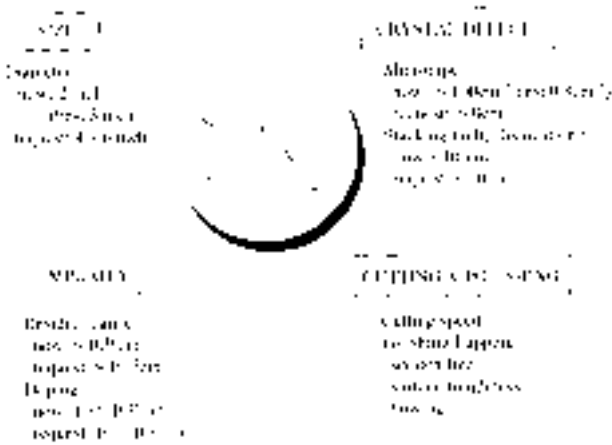


Fig.2 Issues for the growth of SiC bulk crystals and the preparation of wafers.

他、酸化鉄コロイド粒子等を用いた化学機械研磨CMP技術の開発も行われている。

(2) エピタキシャル成長

SiCのエピタキシャル成長は化学気相成長(CVD)法、分子線エピタキシー(MBE)法、液相エピタキシー(LPE)法でなされている。現在、デバイス化には主にCVD法、特にキャリアガスに H_2 を、反応ガスには SiH_4 と C_3H_8 を用いる方法が使われている。

4H-, 6H-SiCのホモエピタキシャル結晶成長では、基板にオフ角度を導入することにより基板と同一ポリティップの成長膜を比較的低温で得られるステップ制御エピタキシー法が用いられている。一般的には、成長温度1500~1600で2~5 $\mu m/hr$ の成膜速度が得られる。成長膜の伝導度制御には反応ガスに N_2 (n形ドーピング)、TMA(p形ドーピング)等を混入させて行われている。また、ドナー及びアクセプタ濃度は反応ガス中のSi/C比により大きく影響される(site competition epitaxy)。

現状では、横型ホットウォール炉において厚さ50 μm で4%/35mmの膜厚分布⁸⁾、縦型コールドウォール炉において $10^{14} cm^{-3}$ 以下の低い残留不純物濃度の高純度膜が得られている⁹⁾。また、2インチウエハを7枚同時処理可能なパンケーキ型成長装置を使用し、 $1050 cm^2/Vs$ (4H-SiC, 室温)の移動度ならびに35mm径で4%の膜厚分布、7%の濃度分布、広範囲($10^{15} \sim 10^{19} cm^{-3}$)のn型不純物濃度制御が実現されるなど量産を目指した技術開発も進展している¹⁰⁾。また、高い成膜速度を得るための新しいエピタキシャル結晶成長技術として、高温CVD法(HTCVD)や近接法が試みられている。HTCVD法では、2200~2300の成長温度において200~500 $\mu m/hr$ の高速成膜が実現されている¹¹⁾。

3C-SiCはCVD法やMBE法でSi基板上にヘテロエピタ

キシャル成長で作製されている。基板温度は1200-1350で、Siの融点に近いので、Si上への直接成長は困難である。800程度の低温から炭化水素ガスを流して、Si基板表面を炭化し、しかる後に成長温度である1300内外に温度を上げて SiH_4 と C_3H_8 をもちいてSiCを成長させると、良好な3C-SiCエピ膜が得られる。ただし、SiとSiCとは20%もの格子不整があるため、界面付近には多くの結晶欠陥が見られる。電気的特性の良いエピ膜を得るには数 μm 以上の膜厚が必要である。20 μm 厚さのエピ膜で $800 cm^2/Vs$ を越える移動度が報告されている¹²⁾。また、通常、非極性のSi結晶上に極性を持つSiCを成長させたとき、結晶方位が互いに90°異なる2つのドメイン(アンチフェーズドメイン)がみられる。これを避けるため、かつては(001)面から少し傾斜したSi基板面を用いることが提案された。しかし最近、(001) just基板でも、成長につれてどちらかの結晶方向のドメインが優勢となり、ついには単一ドメインになることが示された¹³⁾。従来、常圧CVD法が用いられてきたが、最近減圧CVD法が開発され、原子層オーダーで表面が平坦なエピ膜が得られるようになり、ショットキー接合の逆耐圧などデバイス特性も急速に改善されつつある。

(3) 素子化プロセス技術

i) 伝導度制御

SiCは従来よりワイドギャップ半導体の中で唯一両伝導型の制御が容易な半導体材料であった(窒化物半導体でp型が得られたのは1989年であり、ダイヤモンドでは現在でも低抵抗のn形結晶は得られていない)。n形のドーパントにはNが主に、p形ドーパントにはAl, Bが用いられている。例えばCVD法で成長中反応ガスに不純物元素を含むガス(N: N_2, NH_3 ; Al: TMA; B: B_2H_6)を混入することにより、n形では $10^{15} \sim 10^{19} cm^{-3}$ の範囲で、p形では $10^{16} \sim 10^{21} cm^{-3}$ の範囲でキャリア濃度が制御可能である。Nは比較的浅いドナー準位を形成するため、室温でも100%近い活性化率が得られるが、AlやBの作るアクセプター準位は0.1~0.3eVと深いので、室温での活性化率が低いのが欠点である。

デバイス作製には場所を特定しての選択ドーピング技術が必要である。しかし、SiCでは不純物の拡散速度が極めて小さいため、熱拡散による選択ドーピングは困難である。このため、イオン注入技術の開発が不可欠である。n形ではN, P, Sb等が、p形ではAl, B, Ga等のイオン注入が試みられている。イオン注入では注入による結晶欠陥の回復とドーパント原子を望む格子サイトに入れて活性化するために後アニールが必要である。Siではイオン注入で非晶質化し、これを後アニールで再結晶化する方法が採ら

れている。しかし、SiCでは室温で $5 \times 10^{15} \text{cm}^{-2}$ 以上の大量注入をすると、SiC結晶が完全に非晶質化し、1800 を越える後アニールでも欠陥が残留する。一方、800 ~ 1000

の高温でイオン注入すると注入による欠陥の量が大幅に低下し、非晶質化するドーズ量が上がることが知られている。しかし、十分な活性化にはやはりAlで1600、Bで1700 のアニールが必要である。高温注入には新しいマスク材の開発も必要である。また、このような高温プロセスは他の構造を壊してしまう恐れがあり、その低温化が望まれている。その試みとして、site competition epitaxyの発想から、n形の場合にはCを、p形の場合にはSiを共注入することが報告されている¹⁴⁾。いずれも、共注入しない場合に比べてキャリア濃度の上昇は観測されているが、著しい改善には至っていない。SITなどでは深い接合を必要とするが、そのためのMeV級のイオン注入の試みが始まっている。

ii) 絶縁膜形成

SiCの大きな長所はSiと同様の熱酸化プロセスで表面にSiO₂層を形成することが出来、いわゆるMOS構造を作ることが出来ることである。しかし、酸化速度はSiに比べれば1桁程度遅く、厚い膜を得るには長時間の熱酸化が必要であるため、プロセス上問題である。また、酸化速度の面方位依存性も問題である。

酸化には、酸素中で1000 ~ 1100 に加熱するドライ酸化の他に、水蒸気を導入するウェット酸化、さらには、水素と酸素を供給して燃やし、その炎の中で酸化するpyrogenic酸化の方法がある。酸化速度は面方位によって異なり、Si面で遅く数nm/h程度、C面で数10nm/h程度である。C面の方が1桁酸化速度が大きいので、酸化は面判定に利用されている。MOS構造の問題は、まずSi-MOSに比べて固定電荷密度や界面準位密度($\sim 10^{11} \text{cm}^{-2}$)が高いことである。最近、950 での“re-oxidation”と唱される後アニールで界面密度低下の報告がなされている¹⁵⁾。もう一つの問題は、MOSFETを作製したとき、チャンネル移動度が小さいことである。その原因として、界面での残留C、あるいは界面のラフネスが挙げられている。前者に関しては、界面近くにCクラスターが観測されたという報告がある¹⁶⁾。また、後者に関しては、エピ膜成長には通常ステップ制御エピタキシー法が用いられているため、界面のオフ角が関係しているのではないかと指摘がある。チャンネル移動度がバルク値より大幅に小さいことは、界面準位が大きいのか、界面近くのSiC結晶の結晶性の問題かわかっていない。UMOS構造で、トレンチの側面にエピ層を成長させ、それをチャンネルとしたエピチャンネルMOSで100cm²/Vs以上のチャンネル移動度が得られたという報

告¹⁾は、これらの問題解決にヒントを与えているようである。p-SiC-MOSでは酸化温度が高いため、酸化中にAl等のドーパントが界面に偏析することが指摘されている。熱酸化層の代わりに堆積させたSiO₂層を用いたり、酸化層の代わりにAlN層を絶縁膜とするMIS構造の作製も試みられている¹⁷⁾。

iii) 金属/SiC接合

金属とSiCの接合形成のプロセスはショットキー電極形成とオーミック電極形成に用いられる。前者ではNi, Au, Pt等の金属が用いられている。ショットキー障壁ダイオードでは、例えば4H-SiCで逆耐圧3kV、オン抵抗49mΩcm²のものが得られ、理論値に近い低オン抵抗化実現されている¹⁸⁾。理想的な金属/SiC界面を形成し、フェルミ準位のピンニングがなく、ショットキー障壁高さの仕事関数依存を示すS値が1になることを示した報告もなされている¹⁹⁾。金属とSiCとの接合の電気的性質はその界面状態に敏感であり、接合形成直前のSiC表面をいかに清浄にするかが鍵であると思われる。SiCの表面処理が重要な技術課題であると考えられる。

オーミック電極にはn形にはNi, Ti等が用いられており、10⁻⁶Ωcm²台の低抵抗が得られている。n ~ 10¹⁹cm⁻³のSiCにNiを蒸着し、1000 でアニールして、5 × 10⁻⁶Ωcm²の値が報告されている²⁰⁾。p形にはTi, Al-Ti, Al等が用いられているが、10⁻⁴Ωcm²台しか得られていない。p ~ 10¹⁹cm⁻³のSiCでAl/Tiを1000 でアニールして4 × 10⁻⁴Ωcm²の値が報告されている²¹⁾。デバイスサイドからはp形でも10⁻⁵ ~ 10⁻⁶Ωcm²台の低抵抗のほか、その再現性と安定性が求められている。SiC素子は高温で用いられることが多いので、高温での金属/SiC界面の挙動も知っておく必要がある。Siと違って、金属との反応ではシリサイドとカーバイドのどちらか、あるいは両方が形成される可能性がある。また、現状ではオーミック電極の形成には、例えばNiでは900 ~ 1000 程度のアロイング温度が必要であり、高温プロセスが他のプロセスにとって問題ばかりでなく、表面が荒れてしまうという問題がある。このため電極形成プロセスの低温化も望まれている。エキシマレーザ光を用いたオーミック電極形成の試みもなされている²²⁾。

iv) エッチング

UMOSなどのトレンチ構造、メサ構造の形成にはエッチングが必要である。しかし、SiCは熱的・化学的に極めて安定で、通常の酸やアルカリには溶けず、いわゆるウェットエッチング出来ない。唯一、熔融KOH, NaOHでエッチングできるが、通常のデバイスプロセスに入れることは困難である。そこで、ドライエッチング、すなわち反応性イ

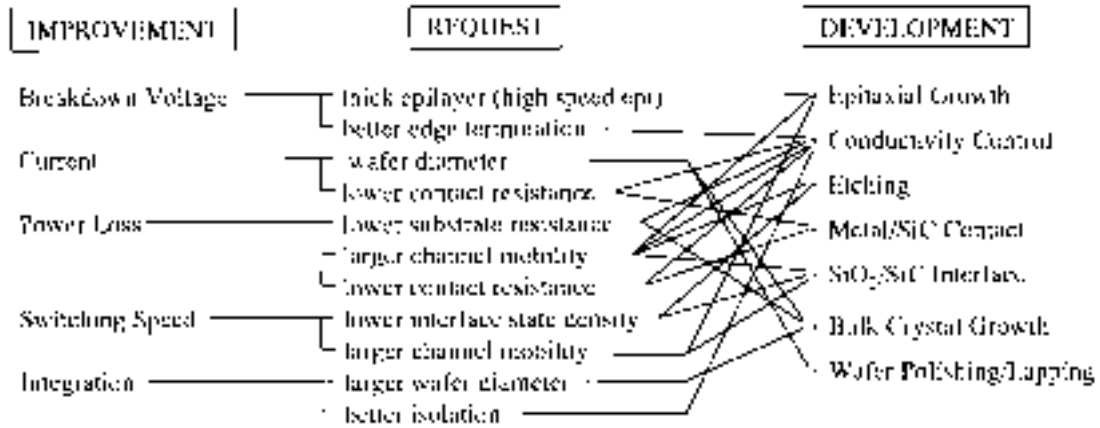


Fig.3 Issues for realizing high power SiC devices

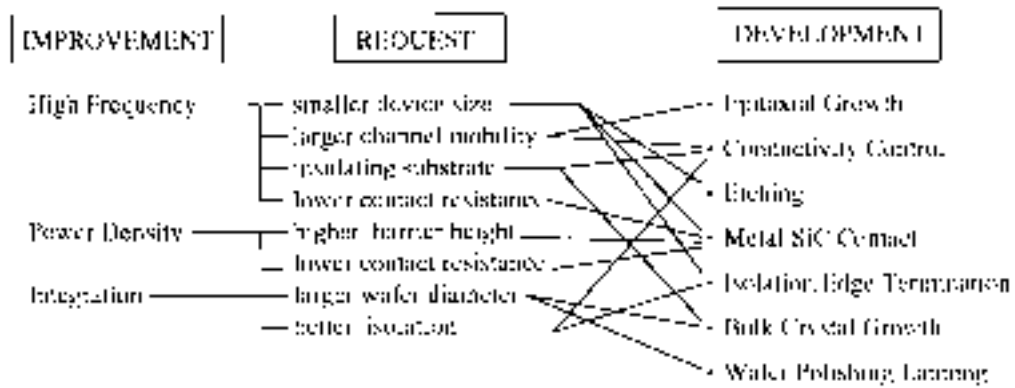


Fig.4 Issues for realizing high frequency SiC devices.

オンエッチング RIE が用いられている。反応性ガスとして、 CHF_3 、 CF_4 、 NF_6 、 SF_6 等のフッ化ガスに酸素を添加したガスが用いられている。エッチングによる結晶のダメージなどの影響や面方位依存性など多くのことがまだ明らかにされていない。

v) その他のプロセス

素子分離にはイオン注入による高抵抗層の形成が試みられている。例えば、Vのイオン注入でp形に対して $10^{12} \sim 10^{13} \Omega\text{cm}$ 、n形に対して $10^6 \Omega\text{cm}$ の値が報告されている²³⁾。SiCデバイスでは単一素子で電極間に数kVの電圧を印加するため、特に電極終端処理(ターミネーション)が重要である。現在、Si高耐圧素子で使われている種々の終端処理が適用されようとしているが、本格的研究はこれからである。水素イオンの大量注入によりSiC薄層を剥離し(smart-cut)、 SiO_2 層を介してSiやSiCに張り合わせることで、いわゆるSOI構造の形成が可能である。実際、100keVの H^+ イオンを $2 \times 10^{17} \text{cm}^{-2}$ 注入し、800℃で熱処理することによって0.82mm厚さのSiC薄層が得られている²⁴⁾。デバイス構造上の魅力とともに、高価なSiCウエハ

の経済的な使用法としても興味のある手法である。

Fig.3, Fig.4はSiCを用いた高パワー素子、高周波素子開発の課題をまとめて示したものである。

§ 3 窒化物半導体

3.1 GaNの物性と特徴

GaNはGaAs同様、III-V族化合物で、直接遷移型の半導体である。Siに対してバンドギャップが約3倍、飽和ドリフト速度が2倍、絶縁破壊電界が10倍と大きいワイドギャップ半導体の一つである。また熱的・化学的に安定な化合物である。熱伝導度はSiと同程度であるが、GaAsに比べれば約3倍大きい。移動度はSiと同程度であるが、GaAs同様ヘテロ構造への変調ドーピングによる2次元電子ガスで $1,500 \text{cm}^2/\text{Vs}$ (室温)、 $5,000 \text{cm}^2/\text{Vs}$ (150K)の値が得られている²⁵⁾。他のIII-V族化合物と同様、AlGaN、InGaN等の混晶が作製でき、GaNとのヘテロ構造でDH構造や量子井戸構造の作製が可能である。

GaNの欠点は、大型のバルク結晶がなく、素子はすべてヘテロエピタキシャル成長膜に依らねばならないことであ

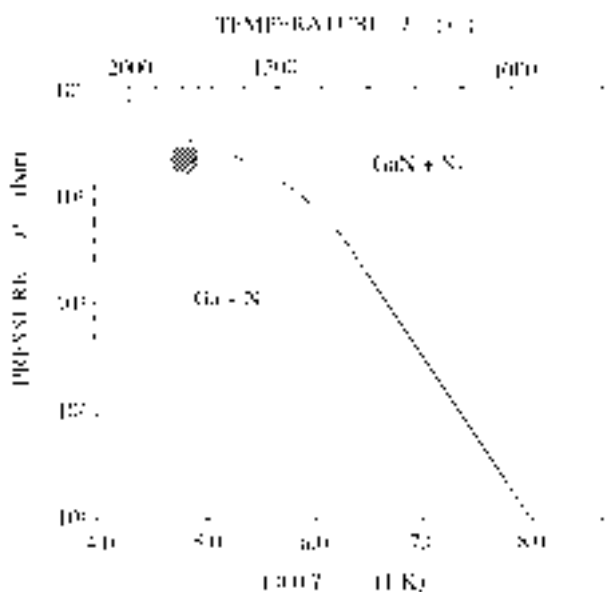


Fig. 5. Equilibrium N_2 pressure over GaN. The hatched area shows the growth conditions for bulk GaN reported.

る。また、GaAs等と違って、安定相は六方晶系のウルツ鉱型結晶形をとるため、デバイスの作製に際しては結晶異方性に注意しなければならない。さらに、良好な界面特性を持つ絶縁物がないため、MIS(MOS)構造の作製が困難であることである。

3.2 GaN半導体の結晶成長と素子化プロセス技術開発

(1) バルク結晶成長技術

GaNの窒素解離圧が大きいため、融液からの結晶成長には1600で20気圧の高圧が必要であり、融液からの引き上げ法は困難である。高圧融液法(Fig.5)で、現在数mm程度の大きさの六角板状の結晶しか得られていない。GaN粉末の昇華再結晶法も試みられているが、1mm以下で、やはり大型化は困難である。エピ成長速度の大きいHVPE法で100 μ m厚以上の膜を作製し、基板を除去し、この上に更に数100 μ mの結晶を成長させバルク結晶を得ようとする方法も試みられている²⁶⁾。

(2) エピタキシャル成長技術

大型のバルク結晶がないため、ヘテロエピタキシャル成長が行われている。基板には古くからサファイヤが用いられてきた。しかし、サファイヤとGaNとは格子定数が20%以上異なるため、良好なエピ膜が得られなかった。1983年MBE法でサファイヤ基板上にAlNバッファ層を成長させ、その上にGaNをエピ成長させると、GaNをサファイヤ上に直接成長させた場合より結晶性及び移動度が大幅に改善されることが示された²⁷⁾。1986年MOCVD法で600程度の低温で成長させたAlNバッファ層の上に1,050

程度の高温でGaNをエピ成長させると、エピ膜の表面平坦性と移動度、残留キャリア濃度が大幅に改善された²⁸⁾。1991年には低温成長GaN層でも同様の効果が見いだされた²⁹⁾。高品質、低キャリア濃度エピ膜が得られるようになったことが、後のp型層成長につながった。すなわち、1989年MgドープGaN膜に低エネルギー電子線を照射することによって、はじめてp形の結晶が得られた³⁰⁾。さらに、1991年にはMgドープ膜を N_2 雰囲気中で600以上で熱処理することによってもp形が得られることが示された³¹⁾。p形層が得られるようになると、すぐにpn接合が形成され、それが今日の高輝度青色LED、LDの開発につながった。 NH_3 を窒素源に水素をキャリアガスとして用いるCVD法で作製したMgドープ膜が高抵抗を示し、それを N_2 中でアニールすると低抵抗になり、さらにそれを NH_3 中でアニールすると高抵抗に戻ることから、水素がアクセプターキラーとして働き、膜中から水素を追い出すとp形が得られるということの説明されている。

素子開発にはほとんどMOCVD法、すなわち NH_3 とTMG、TEGとの反応を利用して成長させた膜が用いられてきた。一方、MBE法では窒素解離圧が高いことから基板温度を700程度以上に上げることが困難で、MOCVD膜に比べて結晶性や電気的特性が劣っていた。しかし、最近ECRあるいはRFプラズマを用いた活性窒素ラジカル源(成長には原子状窒素が有効と言われている)が作られるようになり、基板温度を800近くまで上げられるようになったことなどにより、MOCVDに近い高品質の膜が得られるようになった。MBEのMOCVDに対する利点は、成長後の後処理なしでp型層が得られることである。それは、MOCVDでは NH_3 を反応ガスに、水素をキャリアガスに用いるため、p型を得るにはアクセプタキラーの水素を追い出すために成長後窒素中のアニールが必要である。一方、窒素ガスを用いるMBE法では水素が膜中に取り込まれることがないので、as depositedでp型を示すと考えられている。

上記のような低温成長バッファ層を用いても、GaNエピ膜中には $10^{8-10}cm^{-2}$ の転位が存在する。幸にもこれらの転位は発光特性には重要な影響を与えず、高効率のLEDが作られている。しかし、LDでは単位面積当たりの電流密度が大きいため転位の存在は問題である。最近、 SiO_2 マスクを使った横成長法ELO(epitaxial lateral overgrowth)によって転位密度が格段に減少することが見いだされた³²⁾。サファイヤ基板の上に成長させたGaN上にストライプ状の SiO_2 マスクをし、その上にGaNをMOCVD法で成長させると、 SiO_2 上にはGaNは成長せず、マスクのないGaN上のみ成長する。そして、GaNの厚さが SiO_2 マスクの厚さを超えると SiO_2 上に横方向に成長

Table 3 Classification of natural diamond

Type	Ia	Ib	IIa	IIb
Impurity Nitrogen	High $> 2 \times 10^{19}$ par. segregated	Low $< 10^{18}$ par. lattice site	Low $< 10^{18}$ par. lattice site	None
Others				Boon > 100 years
Optical Props	Transparent < 400 nm strong UV < 3 Sp ₁ ² color \rightarrow yellow	Transparent < 400 nm strong UV < 3 Sp ₁ ² color \rightarrow yellow to orange	Transparent < 225 nm UV < 3 Sp ₁ ² color	None
Electrical Props	Insulating $> 10^{12}$ Ω cm			p-type semiconductor
Physical Props	99.9% 12 C		99.9% 12 C	

が起こり、ついには全面に成長が起きる。このとき、マスクのない部分では下の GaN 層の転位を引き継いで多くの転位が見られるが、SiO₂ マスク上は横方向成長なので転位の引継がなく、転位が極めて少なくなる（理想的には 0）と言う原理である。これにより、LD の寿命が大幅に延びたこと³³⁾や FET のゲートのリーク電流が減少したことが報告されている³⁴⁾。

(3) 素子化プロセス技術

伝導度制御では、n 型ドーパントには Si が、p 型ドーパントには Mg が用いられている。n 型ではキャリア濃度 10^{16-20} cm⁻³ の範囲の制御が、p 型では 10^{16-18} cm⁻³ の範囲の制御がなされている。なお、MOCVD の場合、p 型を得るには膜成長後窒素中 600℃ 以上でのアニールが必要である。GaN はウェットエッチングが困難で、主に RIE が用いられている。ショットキー電極には Ti/Au, Au, Ti など が用いられている。一方、オーミック電極には、n 型には Ti/Al や Ti が、p 型には Ni/Au が用いられている。n 型では 10^{-6} Ωcm² オーダの低い接触抵抗が得られているが、p 型では 10^{-4} Ωcm² オーダと高い。

3.3 今後の課題

GaN のデバイス応用で最も大きい問題は大型のバルク結晶がなく、ヘテロエピタキシャル成長に依らねばならないことである。今後も大型バルク結晶の作製が試みられるであろうが、それと共に、ヘテロエピタキシャル成長でのエピ膜の欠陥密度の低下が大きな課題である。最近 ELO 技術が開発され、転位密度の大幅な低減が可能であることが示されつつある。また、エピ膜は columnar 成長であり、多くのサブグレインからなっている。結晶粒界の低減も重要な課題であろう。最近、持続的光導電性 PPC (persistent photoconduction) の実験などで深い準位の存在が示され、

素子特性上問題になっている³⁵⁾。深い準位の原因はまだよく分かっていないが、窒素空孔などがその原因ではないかと考えられている。GaN は Si より熱伝導度が小さく、高パワー素子では問題となる。これは、バイア・ホール技術あるいは熱伝導度の大きい SiC を基板とすることで解決できると思われる。

これまで述べてきた窒化物は全て六方晶ウルツ鉱型の結晶である。最近、立方晶閃亜鉛鉱型の窒化物の存在が示された。更に高品質（六方晶の混じらない）の立方晶結晶が得られるようになり、その物性が明らかにされつつある³⁶⁾。例えば、立方晶(c-)GaN のバンドギャップは 3.27eV で、六方晶(h-GaN)のそれより約 0.2eV 小さい。c-GaN は h-GaN より結晶の対称性が良いことから、電子のフォノン散乱が小さく、その結果 h-GaN より大きな飽和ドリフト速度や小さな有効質量を持つのではないかと予測されている。物性が等方的であることはデバイス作製に際して、結晶方位を考えなくてよく、有利である。最近、GaN だけでなく、AlGaIn, AlN でも立方晶結晶が得られている³⁷⁾。しかし、現状では立方晶結晶の結晶性は六方晶結晶に劣る。高品質の立方晶結晶の作製が待たれている。

§ 4 ダイヤモンド

4.1 物性と特徴

ダイヤモンドは IV 族元素半導体で、間接遷移型である。天然のダイヤモンドは通常絶縁性であるが、ある種のダイヤモンドは p 型を示すことが昔から知られていた。それは、窒素不純物が少なくかつボロンを含む IIb 型ダイヤモンドである (Table 3)。1954 年 GE 社がダイヤモンドの高圧合成に成功して以来、ダイヤモンドが工業的にも用いられるようになったが、研磨やヒートシンク等への応用で、半

導体としての応用ではなかった。1982年天然p型ダイヤモンドを用いてトランジスタが作製され、1987年合成ダイヤモンドを用いて点接触型トランジスタが作製され、500 mVまでの動作が示された³⁸⁾。ダイヤモンドの応用で大きな転機は1981年の低圧気相合成法によるダイヤモンド薄膜の作製の成功である。1990年代、ダイヤモンド上のホモエピタキシャル成長膜を用いてMESFET, MISFET等が作られ、最近では論理回路の作製も試みられている³⁹⁾。

ダイヤモンドは、Siに対してバンドギャップが約5倍、絶縁破壊電界が10倍、飽和ドリフト速度が2倍と大きい。最大の特徴は熱伝導度が物質中で最大であることであり、Siの約15倍である。移動度は電子に対してはSi並であるが、正孔に対しては $2,000\text{cm}^2/\text{Vs}$ と非常に大きいことも特異な点である。このような物性値を反映して高パワー素子用材料としての良さを表す種々のfigure of meritの値はSi, GaAsはもちろん、ワイドギャップ半導体のSiCやGaNよりも大きい。このため、紫外線デバイス、SAWデバイス等の他に、耐高温、耐放射線性等の耐環境デバイス、高パワーデバイス、高周波パワーデバイス用の材料として期待されている。

ダイヤモンドの最大の欠点は大型のバルク結晶がないことである。また、低抵抗のn型結晶が得られていないため、素子応用はp型結晶を用いたユニポーラ型に限られている。アクセプタ準位が 0.37eV と深く、室温での活性化率が極めて低いことや、キャリア濃度の温度変化が大きいことも素子応用上問題である。さらに、良好な界面特性を持つ絶縁膜がないこと、大気(酸素)中高温で不安定である(燃える)というのも欠点である。

4.2 ダイヤモンド半導体の結晶成長と素子化プロセス技術

(1) バルク結晶成長

1954年GE社から高圧高温下でダイヤモンド単結晶が成長できることが示されて以来、その大型化、高純度化が図られてきた。現在、最大10mm角程度の単結晶が得られているが、極めて高価である。 5GPa 、 1200°C 以上の高圧が必要であり、将来も高圧合成法での大型結晶の育成は困難であると思われる。一方、高純度結晶としては窒素不純物を 0.1ppm 以下にした高純度無色結晶が得られている。

(2) エピタキシャル成長

古くからイオンを用いた成長などでダイヤモンド様膜(DLC膜: グラファイト膜と異なり、高硬度で透明かつ抵抗の大きな炭素膜で、 sp^2 結合ではなく、ダイヤモンドと同様 sp^3 結合を持つ)が得られていたが、非晶質膜であった。1981年高温フィラメントに水素と炭化水素ガスを通

すことによりダイヤモンド膜を成長させることが報告され(熱フィラメント法)、ダイヤモンドの応用の分野が大きく広がった。その後電子衝撃法、プラズマ励起法、燃焼炎法など種々の方法でダイヤモンド膜が作られた。それは、炭化水素の熱分解で炭素膜が堆積するとき、原子状水素が堆積膜から sp^2 結合の炭素を選択的に除去し、結果として sp^3 結合の炭素のみが残り、ダイヤモンド膜が形成されると解釈されている。基板としては、ダイヤモンド(ホモエピ)以外に種々の基板でヘテロエピタキシャル成長が試みられている。Siや 3C-SiC ではモザイク結晶は得られているが、単結晶膜ではない。 cBN 上で唯一ヘテロエピ成長が報告されているが、 cBN 自身も大型の結晶を手に入れることは困難である。最近 3C-SiC 基板でバイアス電圧をかけて成長するなどして結晶性が向上している。1996年Ir上にヘテロエピタキシャル成長する事が報告され、その応用が期待されている。Irは 1000°C 以下では炭素と反応せず、また格子定数差が約7%で比較的整合が良い。 MgO あるいは SrTiO_3 に電子ビーム蒸着したIr膜(100)面上に 750°C でプラズマCVD法によりダイヤモンド膜が得られている⁴⁰⁾。

(3) 素子化プロセス技術

p型層はBドーピングで得られる。しかし、アクセプタ準位は 0.37eV と深いため、室温での活性化率は 0.01% に過ぎず、キャリア濃度、移動度の温度依存性が大きい。更に、キャリアの補償度が $30\sim 90\%$ と大きい。これは残留窒素の作る深いドナー準位が関与しているのではないかと考えられている。移動度はバルクで $2100\text{cm}^2/\text{Vs}$ の値が報告されているが、エピ膜では数 $100\text{cm}^2/\text{Vs}$ と小さかった。最近、ホモエピ膜の結晶性が向上し、エピ膜でも最高 $1,400\text{cm}^2/\text{Vs}$ の値が得られている⁴¹⁾。一方、n型は最近まで得られていなかった。1995年、Pドーピングで基板温度を上げることによってn型層が得られることが示された⁴²⁾。しかし、室温では高抵抗で、移動度は $28\text{cm}^2/\text{Vs}$ と小さい。また、ドナー準位も 0.43eV と深い。

イオン注入は1980年代から試みられてきたが、成功しているのはB程度で、他の元素の注入の効果はよく分かっていない。

ショットキー接触はAl, Au電極で得られており、耐圧は $200\sim 520\text{V}$ である。オーミック電極にはp型に対してTiが用いられており、接触抵抗は $10^{-5}\Omega\text{cm}^2$ オーダーである。

4.3 ダイヤモンド素子開発の現状

(1) 電子素子⁴³⁾

p型層しか得られていないため、作製された素子は全てユニポーラ型のFETである。ホモエピ膜を用いたMESFETで 400°C で $g_m=1\text{mS/mm}$ の値が得られている。また、蒸着

SiO₂層をゲート絶縁層に用いた MISFET で 550 動作 , $g_m=1.7\text{mS/mm}$ が得られている。

アンドープ高抵抗ダイヤモンド膜の表面を水素で終端すると,表面近傍に厚さ数 10nm 程度の p 型伝導層が形成される。そのキャリア濃度は $\sim 10^{13}\text{cm}^{-2}$ で 120 ~ 400K でほぼ一定である。この伝導層は大気中(酸素中)300 まで,真空中では700 まで安定である。このような表面伝導層を用いて MESFET が作られている。例えば, Pb ゲート MESFET で 9.2mS/mm ($g_g=4\mu\text{m}$, エンハンスメント型), Cu ゲート MESFET で 2.3mS/mm ($g_g=3\mu\text{m}$, ディプレッション型)が得られている。この素子は,絶縁性基板(アンドープダイヤモンド)上にあり,また表面の水素を酸素置換あるいは Ar 照射する事によって容易に素子間分離が可能で,素子を数個集積した簡単な論理回路も作られている。

(2) その他の素子応用

バンドギャブの大きいダイヤモンドは電子親和力が負 (NEA: negative electron affinity)であり,電子放出特性に優れていることが期待されている。ダイヤモンドの NEA を利用して電子エミッターを作り,フラットパネルディスプレイに利用しようとする研究が盛んに行われている。

4.4 ダイヤモンド素子開発の課題

ダイヤモンドは物性値ではもっとも優れた高パワーデバイス用材料である⁴⁾。また, Si 同様単体元素であることから, SiC, GaN など化合物特有のストイキオメトリ, アンチサイトなどの問題がないことも大きな利点である。しかし,大型の結晶がないこと,それに代わるヘテロエピ技術が開発されていないこと,さらには低抵抗の n 型結晶層が得られていないなど,素子応用という観点からは課題が多い。これらの材料上の課題の解決がダイヤモンドデバイスの実現可能性の鍵を握っていると思われる。これらの課題を解決しつつある SiC, GaN を次世代の半導体素子材料とすれば,ダイヤモンドは次々世代の半導体材料といえよう。

§ 5 GaAs

5.1 GaAsの物性と特徴

GaAs は III-V 族化合物の一つで,直接遷移形半導体である。電子素子用材料として見たとき, GaAs の物性パラメータは Si に対してバンドギャブ E_g が約 1.3 倍,飽和ドリフト速度 V_s が 2 倍,キャリアの移動度 μ は 5 倍以上である。AlGaAs 等の GaAs とよく格子整合する混晶が存在し,良好なヘテロ構造を作製することが出来る。ヘテロ

構造によりバンドの並び(band lineup)が設計でき,様々な機能を持たせることが出来る。例えば, AlGaAs/GaAs ヘテロ構造で AlGaAs 層にのみ不純物をドーブする変調ドーブによって, GaAs 井戸層に 2 次元キャリアガスを誘起する事が出来,低温で $10^6\text{cm}^2/\text{Vs}$ を超える移動度が得られている。その他, 10^8cm 以上の半絶縁基板が得られることや耐放射線性に優れていることもデバイス作製上有利な点である。

欠点としては,化合物半導体ゆえのノンストイキオメトリなどの欠陥が多いことがまず挙げられ,結晶の完全性は元素半導体である Si には遠く及ばない。また, Si に対する SiO₂ の様な良好な界面特性を持つ絶縁膜がないことは, MIS(MOS)構造の作製が困難であることや,素子表面のパッシベーションなどが問題である。更に,熱伝導度が Si の 1/3 と小さいことも高パワー素子作製上は不利な点である。

5.2 GaAs半導体の結晶成長と素子化プロセス技術

(1) バルク結晶成長技術⁴⁴⁾

工業的には融液成長法である HB(horizontal Bridgeman)法,及び LEC(liquid encapsulated Czochralski)法によって GaAs の結晶成長が行われている。HB 法は原料を充填したポートを石英管に封入し,温度ステップのつけられた炉の中を低温側へ移動させて溶融再結晶化させる方法である。成長方向は通常 $\langle 111 \rangle$ 方向なので,デバイス作製に用いられる(100)ウエハは D 字形をしている。これを円形加工して 3 インチ径のウエハが得られている。水平帯融解方式を用いれば,4 インチ径ウエハも可能である。この方法は成長方向の温度勾配が小さいため,結晶中の熱応力が小さく,転位密度は $\sim 3000\text{cm}^{-2}$ と小さい。ただし,石英管を用いるため, Si 不純物が混入し,結晶は通常 n 型である。Cr をドーブして深いドナー準位を作り, Si の作る浅いドナーを補償することによって半絶縁性結晶が得られる。

LEC法は,るつぼ中で原料を溶かし,種結晶を融液に接触させて,回転しながら徐々に引き上げて単結晶を成長させる引き上げ(Czochralski)法の一つである。GaAs は V 族の As の解離圧が高いため,融液表面を液体である B₂O₃ で覆い,その上から不活性ガスで加圧する。るつぼ材料に PBN を用いることにより高純度の結晶が得られるようになり,アンドープで半絶縁性の結晶が得られている。ただ,結晶成長近傍の温度勾配が大きいため,結晶内の熱応力が大きく,転位密度は $6,000 \sim 10,000\text{cm}^{-2}$ と HB 結晶より多い。In を添加する事により転位密度を下げる事が行われている。

(2) エピタキシャル成長技術

GaAsのエピタキシャル成長には、当初、光素子用に、最も熱平衡に近いエピタキシャル成長法である液相エピタキシャル(LPE)法が用いられていたが、現在は電子素子も含めてより生産性の高いMOCVD法が用いられている。高純度の有機金属が得られるようになったことが大きい。一方、MBE法は原子層オーダーで急峻な界面を持つヘテロ構造が作製できることや、結晶成長に際してRHEED観察など様々な観察が出来ることから、結晶成長機構の研究用として多く用いられてきた。しかし、最近スループットが良くなり、HEMT等のヘテロ構造素子の生産にも用いられるようになった。

(3) 素子化プロセス技術

GaAs素子作製のためのエッチング、ドーピング、電極形成などのプロセス技術はすでに確立されているので、ここでは割愛する。

§ 6 おわりに

ワイドギャップ半導体を用いた素子の実現のための研究の現状と課題を、SiC、窒化物半導体、ダイヤモンドおよびGaAsに対して見てきた。しかし、素子に耐高温、耐電圧が要求される時、素子の実装技術、配線技術など、素子周辺の耐高温、耐電圧等のための技術の開発も不可欠である。これら素子周辺技術の開発も素子自体の開発と平行して行かねばならないと考えられる。なお、SiC、窒化物半導体、GaAsのデバイス作製の現状については本彙報「ワイドギャップ半導体による高パワー素子の特性向上」を参照されたい。

本稿の一部は電気学会「パワーデバイスを用いた大電力パルス発生技術調査委員会」でまとめたものである。ここに、電気学会調査専門委員会の委員各位に感謝する。また、SiCのプロセスに関しては、応用物理学会「SiC及びその他のワイドギャップ半導体研究会」講演会での総合討論での議論を参考にまとめさせていただいた。総合討論にパネラーとして参加していただいた各位に感謝の意を表す。

引用文献

- 1) K.Hara: Mater.Sci.Forum 264-268 (1998) 901.
- 2) K.E.Moore, C.E.Weitzel, K.J.Nordquist, L.L.Pond III, J.W.Palmour, S.Allen, and C.H.Cater, Jr.: IEEE Electron Device Letters 18 (1997) 69.
- 3) 吉田貞史, 上野勝典: OHM 1996年11月号, 86.
- 4) 上野勝典, 関康和: 応用物理 65 (1996) 143.
- 5) V.Tsvetkov, R.C.Glass, D.Henshall, D.Asbury and C.H.Cater, Jr.: Mater.Sci.Forum 264-268 (1998) 3.
- 6) H.Yamaguchi et al.: Proc.of 2nd European Conf. on Silicon Carbide and Related Materials (1998).
- 7) G.Augustine, H.McD.Hobdgood, V.Balakrishna, G.T.Dunne, R.H.Hopkins, R.N.Thomas, W.A.Doolittle and A.Rohatgi: Mater.Sci.Forum 264-268 (1998) 9.
- 8) O.Kordina, A.Henry, E.Janzen, and C.H.Cater, Jr.: Mater.Sci.Forum 264-268 (1998) 97.
- 9) R.Rupp, A.Wiedenhofer, P.Friedrichs, D.Poters, R.Schröner and D.Stephani: Mater.Sci.Forum 264-268 (1998) 89.
- 10) A.A.Burk, Jr., M.J.O' Loughlins, and S.S.Mani: Mater.Sci.Forum 264-268 (1998) 83.
- 11) A.Ellison, T.Kimoto, I.G.Ivanov, Q.Wahab, A.Henry, O.Kordina, J.Zhang, C.G.Hemmingsson, C.-Yu Gu, M.R.Leys and E.Janzen: Mater.Sci.Forum 264-268 (1998) 103.
- 12) M.Shinohara, M.Yamanaka, H.Daimon, E.Sakuma, H.Okumura, S.Misawa, K.Endo, and S.Yoshida.: Jpn.J.Appl.Phys., 27 (1988) L434.
- 13) Y.Ishida, T.Takahashi, H.Okumura, T.Sekigawa and S.Yoshida: Jpn.J.Appl.Phys., to be published.; Intern. Workshop on Hard Electronics '98 Abstract (Tsukuba, 1998) p.9.
- 14) T.Frank, T.Troffer, G.Pensl, N.Nordell, S.Karlsson, and A.Schoner: Mater.Sci.Forum 264-268 (1998) 681.
- 15) L.A.Lipkin, D.B.Slater, Jr., and J.W.Palmour: Mater.Sci.Forum 264-268 (1998) 853.
- 16) V.V.Afanas'ev, A.Stesmans and C.I.Harris: Mater.Sci.Forum 264-268 (1998) 857.
- 17) K.Fukuda, T.Koizumi, H.Okumura, K.Nagai, T.Sekigawa, S.Yoshida, and K.Arai.: to be published in Proc.Intern.Symp.on Compound Semiconductors '98 (Nara, 1998).
- 18) T.Kimoto, Q.Wahab, A.Ellison, U.Forsberg, M.Tuominen, R.Yakimova, A.Henry and E.Janzen: Mater.Sci.Forum 264-268 (1998) 921.
- 19) S.Hara et al.: Appl.Surf.Sci., 107 (1996) 218.
- 20) C.Arnodo, S.Tyc, F.Wyczisk and C.Brylinski: Inst.Phys.Conf.Ser.No.142 (1996) 577.
- 21) L.Kassamakova, R.Kakanokov, N.Nordell and S.Savage: Mater.Sci.Forum 264-268 (1998) 787.
- 22) O.Eryu et al.: Appl.Phys.Lett., 67 (1995) 2052.
- 23) T.Kimoto, T.Nakajima, H.Matsunami, T.Nakata, and M.Inoue: Appl.Phys.Lett., 69 (1996) 1113.
- 24) L.Di Cioccio, Y.Le Tiec, C.Jaussaud, E.Hugonnard-Bruyere and M.Brueel: Mater.Sci.Forum 264-268 (1998) 765.
- 25) J.M.Redwing, M.A.Tischler, J.S.Flynn: Appl.Phys.Lett., 69

- (1996) 963.
- 26) A.Usui, H.Sunakawa, N.Kuroda, A.Kimura, A.Sakai, and A.Yamaguchi: Proc.2nd Intern.Symp. on Blue Laser and Light Emitting Diodes (Chiba, 1998) p.17.
- 27) S.Yoshida, S.Misawa and S.Gonda: Appl.Phys.Lett., 42 (1983) 427.
- 28) H.Amano, N.Sawaki, I.Akasaki and Y.Toyoda: Appl.Phys.Lett., 48 (1986) 353.
- 29) S.Nakamura, T.Mukai, and M.Senoh: Jpn.J.Appl.Phys., 30 (1991) L1998.
- 30) H.Amano, M.Kito, K.Hiramatsu and I.Akasaki: Jpn.J.Appl.Phys., 28 (1989) L2112.
- 31) S.Nakamura, T.Mukai, M.Seno, and N.Iwasa: Jpn.J.Appl.Phys., 31 (1992) L139, ibid. 1258.
- 32) A.Usui et al.: Jpn.J.Appl.Phys., 36 (1997) L899.
- 33) S.Nakamura et al.: Jpn.J.Appl.Phys., 36 (1997) L1568.
- 34) R.Vetury, H.Marchand, J.P.Ibbetson, P.T.Fini, S.Keller, J.Speck, S.P.DenBaars and U.K.Mishura: Proc.of 25th Intern.Symp. on Compound Semiconductors (Nara, 1998), to be published.
- 35) S.C.Binari, H.B.Dietrich, W.Kruppa, G.Kelner, N.S.Saks, A.Edwards, J.M.Redwing, A.E.Wickenden and D.D.Koleske: Proc. of 2nd Intern.Conf. on Nitride Semiconductors (Tokushima, 1997) p.476.
- 36) H.Okumura, K.Ohta, G.Feillet, K.Balakrishnan, S.Chichibu, H.Hamaguchi, P.Hacke, and S.Yoshida: J.Cryst.Growth, 178 (1997) 113.
- 37) S.Yoshida and H.Okumura: 2nd Japan-Germany Workshop in Recent Progress in Optoelectronic Devices and Materials (Kazusa, 1998) p.2.
- 38) 吉田貞史: 電子情報通信学会誌 79 (1996) 1219.
- 39) K.Ohtsuka et al.: Jpn.J.Appl.Phys., 35 (1996) L1072.
- 40) J.T.Glass, D.L.Dreifus, R.E.Fauber, B.A.Fox, M.L.Hartell, R.B.Henard, J.S.Holmes, D.Malta, L.S.Plano, A.J.Tessmer, G.J.Tessmer, and H.A.Wynands: Proc. Of 4th Intern.Conf. on New Diamond Science and Technology (Kobe, 1994) p.355
- 41) S.Koizumi, M.Kamo, Y.Sato, H.Ozaki, and T.Inuzuka: Appl.Phys.Lett., 71 (1997) 1065.
- 42) 塩見弘: 電子情報通信学会誌 J81-C-II (1998) 151.
- 43) 津川和夫, 野田英行, 外園明, 北谷謙一, 森田和敏, 河原田洋.: 電子情報通信学会誌 J81-C-II (1998) 172.
- 44) R.J.Trew et al.: Proc.IEEE 79 (1991) 37.

(1999.2.12 受付)