

ジョセフソン - MOS 集積回路技術

Josephson-MOS Integrated Circuit Technology

前澤 正明	鈴木 基史	仲川 博	青柳 昌宏
M. MAEZAWA	M. SUZUKI	H. NAKAGAWA	M. AOYAGI
	高遠 秀尚	関川 敏弘	東海林 彰
	H. TAKATO	T. SEKIGAWA	A. SHOJI

Hybridization of Josephson and semiconductor technologies is an effective approach to high-performance digital systems. Aiming at hybrid Josephson-CMOS integrated circuit we have developed an interface which will realize high broadband data communication between Josephson and CMOS circuits. We have proposed a protocol for data transferring between circuits synchronized with different clock frequencies. Based on this protocol, we have implemented an interface circuit that consists of a parallel-in-parallel-out (PIPO) circuit based on 4JL latching logic technology and built-in Josephson-MOS voltage amplifiers. The PIPO circuit manages data transferring and synchronizes Josephson and CMOS circuits. The Josephson-MOS amplifier, consisting of monolithically integrated stacked Josephson junctions (Suzuki stack) and NMOS inverters, makes small Josephson-output voltage high enough to drive CMOS logic gates. We have developed Josephson-MOS-monolithic integration technology in which Nb/AlO_x/Nb Josephson junctions are built on MOS circuits. Also, we have optimized MOS device parameters to operate at very low temperature. The circuits were fabricated and tested. We have successfully confirmed correct operation of all elements at low clock frequency, however, at higher frequency, the circuits have failed to operate correctly.

§ 1 はじめに

ジョセフソン接合をスイッチング素子として利用するデジタル集積回路は、高速性と低消費電力性を合わせ持ち、21世紀の高度情報化社会に不可欠な大容量データ交換システムや超高速コンピュータを実現するための候補として大きな可能性を持っている。しかしながら、ジョセフソン回路は動作速度と消費電力で優るものの、デジタル回路のもう一つの重要な性能指標である集積度の点では、微細化技術の進歩に支えられて驚異的な発展を続ける半導体回路の圧倒的な優位を認めざるを得ない。また、極低温の環境を必要とし動作信号電圧が微小なジョセフソン回路は、外部のエレクトロニクス機器との接続が容易ではなく、このことがジョセフソン回路の実用化の大きな障害の一つになっている。これらの問題を克服し、ジョセフソン集積回路が潜在的に持つ優れた性能を活かすために、CMOS集

積回路とのハイブリッド化は魅力的な手段である。

そこで、本プロジェクトではFig.1に示すようなジョセフソン-CMOSハイブリッド回路を提案し、「同一基板上に集積したジョセフソン-MOS論理回路において高速ハイブリッド動作(ジョセフソン論理回路:1~2GHzクロック, MOS論理回路:250~500MHzクロック)を達成すること」を目指し研究を行なった。

このようなジョセフソン, CMOSという二つの異質なブロックから構成されるハイブリッドデジタルシステムの性能を最大限に高めるためには、2つのブロック間におけるデータ伝送の高速・大容量化が必要不可欠である。すなわち、高性能ハイブリッドデジタルシステム実現のための最も重要な技術課題の一つとして、ジョセフソン回路とCMOS回路の間的高速・大容量インターフェイスの開発があげられる。

そのようなインターフェイスにおいては、入出力の信号

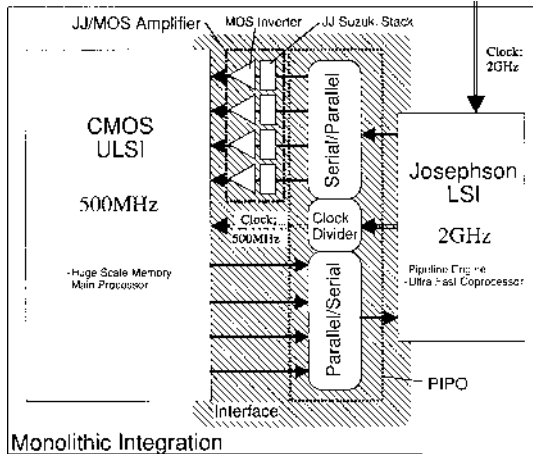


Fig.1 Concept of Josephson-MOS hybrid circuit.

ジョセフソン - MOS ハイブリッド回路の概念図。低速クロックで動作する大規模CMOS回路と高速クロックで動作する小規模ジョセフソン回路をモノリシックに集積する。今回、開発を目指したインターフェイス回路は斜線の部分。二つの回路間の同期をとりデータ伝送を制御するPIPO回路(点線枠の中)とジョセフソン回路の出力を増幅するJJ/MOS増幅回路(一点鎖線枠の中)で構成される。インターフェイス回路内でパラレル-シリアルおよびシリアル-パラレル変換を行ない、高スループットデータ伝送を実現する。

電圧レベルだけではなく、動作速度の整合も考えなければならぬ。前者においては、数ミリボルトオーダーのジョセフソン回路の出力電圧を増幅し、CMOS回路を高速に駆動することが主な技術課題である。後者においては、二つの異なるクロック周波数で動作するシステム間のデータ転送プロトコルを確立し、それを実現する回路を開発しなければならない。さらに、応用の対象をコストを度外視できるハイエンドシステムとし、システムレベルでの究極の高性能を追求するならば、同一チップ上にジョセフソン素子と半導体素子を作製するモノリシック集積化技術の実現が強く望まれる。

以上のような観点から、同一基板上にモノリシックに集積したジョセフソン回路とMOS回路で構成されるインターフェイス回路(Fig.1の斜線部分)の開発を具体的な研究課題とした。このインターフェイス回路は、回路規模は比較的小さいが、大規模ジョセフソン - MOSハイブリッド回路の実現に必要な不可欠な要素である。また、MOSトランジスタやジョセフソン接合などの主要な回路要素を含み、本格的なジョセフソン - MOSハイブリッド回路のプロトタイプとして位置づけられる。このインターフェイス回路の概念設計において新しいデータ転送方式を提案し、モノリシック集積化技術により試作した回路のGHzクロックでの高速動作の実証を目的に研究開発を行なった。

その結果、約1000個のジョセフソン接合で構成される、動作速度の整合を取るためデータ転送制御回路(PIPO回路)の正常な論理動作を確認し、提案したインターフェイス

回路の設計が正しいことが裏付けられた。また、同一基板上に作製したジョセフソン接合とMOSインバータから成る増幅回路の正常な動作を確認し、ジョセフソン - CMOSモノリシック集積化技術の基礎を確立することができた。しかしながら、全ての要素回路の正常動作を実験的に確認したものの、プロセス技術の不完全さなどの技術的制約から、動作速度は設定した目標値に到達できず、また、インターフェイス回路全体の動作の実証にはいたらなかった。

§ 2 ジョセフソン - CMOS ハイブリッド回路

一口にハイブリッド化といっても、素子、回路、システムのそれぞれのレベルでのハイブリッド化が可能である。本研究ではFig.1に示すような、低速クロックで動作する大規模CMOS集積回路と高速クロックで動作する比較的小規模なジョセフソン回路との、回路レベルでのハイブリッド化を想定した。このようなハイブリッド回路の応用としては、究極の高性能が求められるスーパーコンピュータや大容量交換機などのハイエンドのデジタルシステムが有望であろう。性能だけではなくコストが決定要因となるようなシステムでは、確立した既存技術の中にジョセフソン技術のような極めて異質な新しい技術が取り入れられる可能性は少ないからである。

性能の追求を最優先するならば、Fig.1に示すようなジョセフソン - CMOSハイブリッド回路は、同一基板上にモノリシックに集積化されるべきである。なぜなら、今日のデジタルシステムでは高速化をはばむ主要な要因は素子遅延よりもむしろ信号の伝播遅延であり、同一チップ上にCMOS回路とジョセフソン回路を配置することにより、その間の信号伝播遅延を極めて小さくできるので、システム全体の性能の飛躍的向上が可能になるからである。さらに、モノリシック化には、実装の簡易化、低温環境におけるCMOS回路の性能向上、素子レベルでのハイブリッド化が可能になることなどの多くの利点がある。もちろん、モノリシック化による伴う問題も存在する。それは主としてコストの増大である。消費電力の大きなCMOS回路を低温環境に持ち込むことによる冷却コストの増大、プロセスの複雑化によるチップのコストの増大、既存のツールが使えないことによる設計コストの増大などである。しかしながら、ここでジョセフソン - CMOSハイブリッド回路の応用として考えるハイエンドシステムにおいてはコストの制約は弱く、また、将来の普及の際には緩和されることが考えられる。

本研究で開発を目指すジョセフソン - CMOSハイブリッド回路のためのインターフェイスは、データ転送プロトコ

ルを制御する論理回路とジョセフソン回路の電圧を CMOS 回路を駆動できるレベルにまで増幅する増幅回路の2つの部分から成る。

今回の研究開発において、われわれは、まず、データ転送プロトコルとして以下のような方式を提案した。それは、CMOS 回路からの出力信号をシリアルにまとめてジョセフソン回路に入力し、ジョセフソン回路の出力はパラレルに分割して CMOS 回路に入力する方式である。このデータ転送プロトコルにより、スループットを低下させることなくクロック周波数の差を整合することが可能になる。回路全体の同期のためには、ジョセフソン回路に外部より供給される AC パワーをマスタークロックとし、それを分周して CMOS 回路のクロックを抽出する。このデータ伝送プロトコルにしたがったデータの流れを CMOS 回路側からみれば、クロックに同期してパラレルに出力したデータが、ジョセフソン回路でのデジタル演算処理の後に、再びクロックに同期してパラレルに戻ってくることになる。データの転送は CMOS 回路の入出力と同じスループットで実行されることになる。以後、シリアル-パラレル変換回路、パラレル-シリアル変換回路、およびクロック分周回路をまとめて、パラレル-イン-パラレル-アウト (PIPO) 回路と呼ぶこととする。

現状におけるジョセフソン、CMOS それぞれの技術水準をふまえて、ここでは開発目標としての具体的なクロック周波数の値を、ジョセフソン回路は 2GHz、CMOS 回路は 500MHz と設定した。すなわち、シリアル-パラレル比は 4 : 1 である。

このデータ転送を制御する PIPO 回路は、電総研で開発された 2 相脈流電源駆動方式の 4JL 回路技術を用いて作製する。4JL 回路により PIPO 回路を構成する場合、全体で約 1000 個のジョセフソン接合を含む回路規模になる。

ジョセフソン 4JL 回路のミリボルトオーダーの出力電圧を CMOS 回路の入力電圧レベルまで引き上げて信号電圧レベルの整合をとる増幅回路は、多段のジョセフソン接合 (鈴木スタック) と NMOS インバータで構成される。この増幅回路は、単なる電圧増幅器としてだけでなく、2 相脈流電源に同期したジョセフソン回路の出力信号を、CMOS 回路の単相クロックに適合する形に変換する機能も合わせ持つ。

§ 3 PIPO 回路

3.1 回路設計

Fig.2(a) に、シリアル-パラレル変換、パラレル-シリアル変換、クロック分周回路から成る PIPO 回路のブロック図を示す。PIPO 回路は P1 相および P2 相の 2 相脈流電

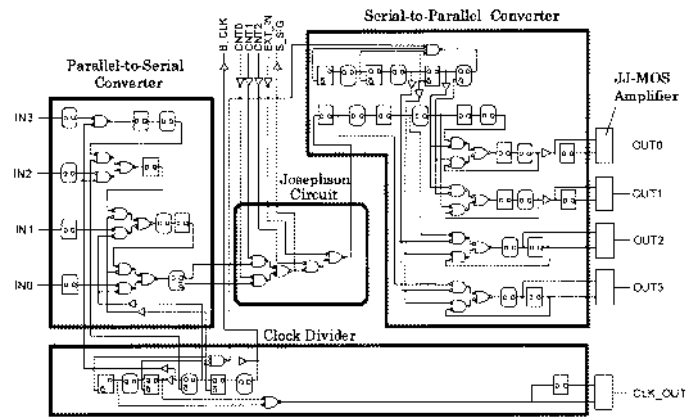


Fig.2(a) Block diagram of PIPO(parallel-in-parallel-out) circuit. PIPO(parallel-in-parallel-out)回路のブロック図。Q, D 等の記号のある四角は P1 相のラッチゲート、角の丸い四角は P2 相のラッチゲートをそれぞれ表わす。パラレル-シリアル変換回路、パラレル-シリアル変換回路、およびクロック分周回路の三つの部分で構成される。入力端子は IN0 ~ IN3, 出力端子は OUT0 ~ OUT3 および CLK OUT である。入出力以外の端子はモニター用。

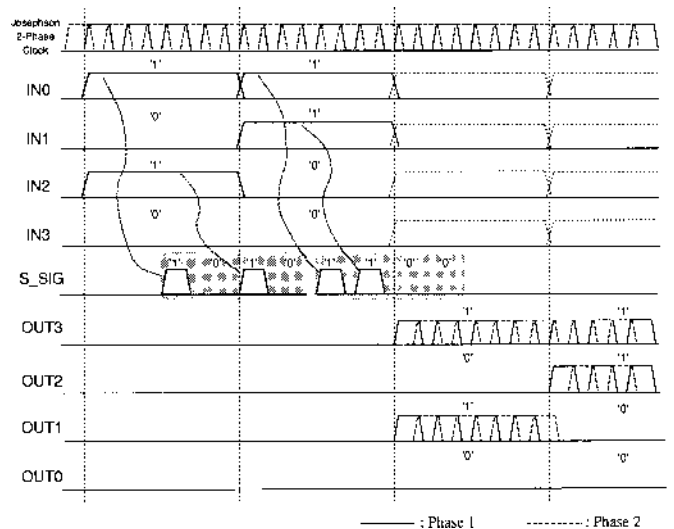


Fig.2(b) Data transfer protocol in PIPO circuit. 今回提案したデータ伝送方式の概念。PIPO 回路は二相脈流電源で駆動され、実際は P1 相、点線は P2 相の信号を表わしている。CMOS 回路の出力信号はパラレルに PIPO 回路に入力する。データはシリアル形式に変換されてジョセフソン回路に送られ、演算処理が行われる。シリアル形式のジョセフソン回路の出力は、再びパラレル形式に復調されると同時に P1 相と P2 相が重ね合せられて、単相クロックに整合する形式に変換される。

源により駆動される。図中の長方形は P1、角の丸い長方形は P2 で駆動されるラッチ回路をそれぞれ表わしている。500MHz クロックに同期した CMOS 回路からのパラレルの入力信号 (IN0 ~ IN3) は、2 GHz の 2 相クロックに同期したシリアル形式に変換される。変換されたシリアルデータは、実際のハイブリッド回路ではジョセフソン集積回路ブロックの入力データとなり演算処理をされる。今回の試作においては、PIPO 回路の動作の検証を目的とする

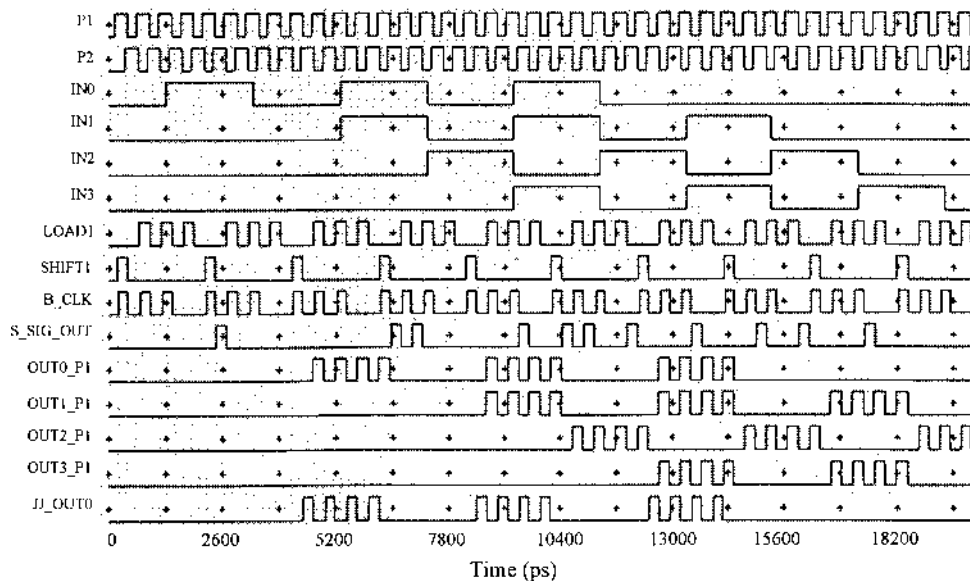


Fig.2(c) Results of a logic simulation for a PIPO circuit.

PIPO回路の論理シミュレーション結果。設計した回路がクロック周波数2GHzで正しく動作することを確認した。

ため、シリアルデータは無変換のままパラレル-シリアル変換回路に入力され、再びパラレル形式に復調される。

変換直後のパラレルデータは2GHzの2相クロックに同期した形式であるため、JJ/MOS増幅回路においてP1相出力とP2相出力を重ね合わせるにより500MHzの単相クロックに適合する形式に変換される (Fig.2(b))。

ジョセフソン回路の2GHzクロックとCMOS回路の500MHzクロックの間の同期は、クロック分周回路によりジョセフソン回路の2GHzクロックを4分周し、データと同様にJJ/MOS増幅回路で電圧増幅および2相-単相変換を行なってCMOS回路の500MHzクロックを作り出すことにより実現する。

設計したPIPO回路は全体で約260ゲートから構成され、約1100個のジョセフソン接合が含まれる。消費電力はレギュレータの分も含めて約17mWと見積られる。また、シミュレーションから見積られるクリティカルパスの遅延は約90psであり、設計周波数の2GHz(有効サイクル時間:250ps)に対して十分なタイミングマージンを持つ。

Fig.2(c)に設計したPIPO回路の論理シミュレーションの結果を示す。論理シミュレーションに用いた各論理セルの遅延時間は、作製プロセスに対応する素子パラメータ(ジョセフソン接合の臨界電流密度560A/cm²)を仮定してアナログシミュレーションにより導出した。論理シミュレーションにより回路が正しく設計され、2GHzの高速クロックで動作することが確認された。

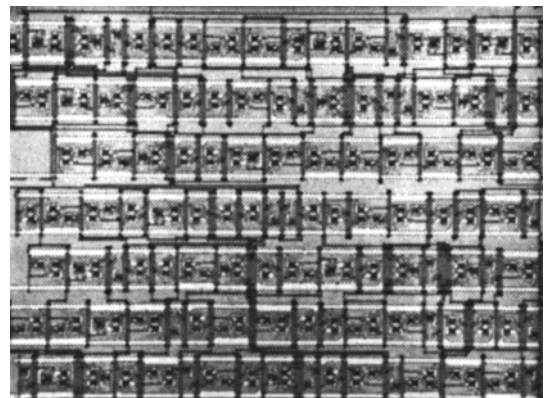


Fig.3 Micrograph of a PIPO circuit chip.
PIPO回路チップの顕微鏡写真。

3.2 作製

正しい論理設計を確認した後、電総研で開発したスタンダードセル方式にもとづく自動配置配線CADツールによって、論理回路図からレイアウトへの展開を行なった。レイアウトされたPIPO回路全体の占有面積は約2.5 × 1.3mm²である。作製には、臨界電流密度560A/cm²、最小接合寸法3 × 3μm²のNb/AIO_x/Nb接合技術を用いた。作製プロセスの詳細は次章で述べる。Fig.3に作製したPIPO回路の写真を示す。

3.3 測定結果

Fig.4にPIPO回路のパラレル-シリアル変換ブロックの動作を示す。Fig.4には、パラレルの入力信号(1000)、(1100)、(1110)、(1111)についての結果が示され、正常に動作していることがわかる。他の入力信号の組み合わせにつ

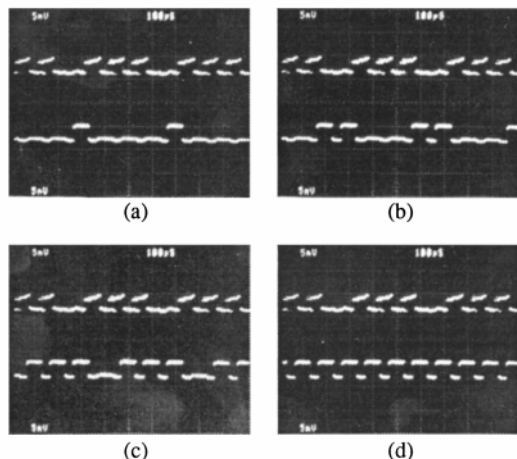


Fig.4 Results of "parallel-in-serial-out" operation for a PIPO circuit. PIPO回路パラレル-シリアル変換部分の動作特性。上段はクロック分周器の出力 (CLK OUT), 下段が変換後のシリアルデータ出力(モニター端子S_SIGで観測)。入力信号を(a) (1000) ,(b) (1100) ,(c) (1110) ,および(d) (1111)としたときの結果。その他の入力信号の組み合わせに対しても正常に動作することを確認した。クロック周波数は10kHz

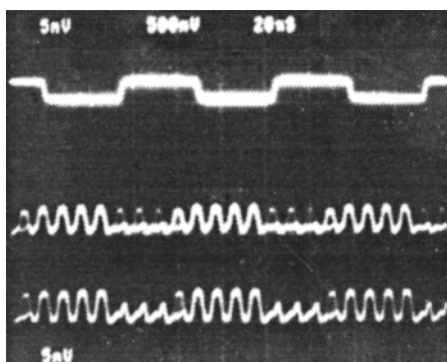


Fig.5 Results of "serial-in-parallel-out" operation for a PIPO circuit. PIPO回路シリアル-パラレル変換部分の動作特性。上段は入力信号(モニター端子EXT_INより入力), 中段は1ビット目(OUT0)の, 下段は2ビット目(OUT1)の出力。クロック周波数は115MHz。確率的な誤動作が観測される。

いても正常な動作を確認した。しかしながら、臨界電流密度やパラジウム層のシート抵抗値などの回路パラメータの実際の値が設計値から大きく外れていたため、実験から得られたバイアス電圧マージンは理論値よりも小さかった。そのため、電源クロック周波数を増加するとともに回路の動作が不安定になり、100kHz以上のクロックでは正常な動作は確認できなかった。

Fig.5 にシリアル-パラレル変換ブロックの電源クロック周波数115kHzにおける動作を示す。測定器の制限のため、入力信号はクロックの4倍の周期を持つ方形波パルスを用い、擬似的に11110000...の入力信号を加えている。一見正常動作をしているように見えるが、確率的な誤動作が観測された。この回路も低速クロックでは正常に機能したが電源周波数の増加とともに不安定な動作を示し、

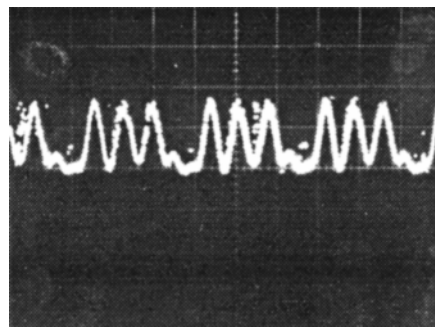


Fig.6 Output from a clock converter circuit operated at 700MHz. クロック700MHzにおける,PIPO回路のクロック分周器部の出力。4サイクルごとに0が出力され、正常に機能していることが確認できる。

高速動作時の誤動作は回路パラメータの設計値とのずれによるものと考えられる。

Fig.6にクロック分周回路の700MHzにおける動作試験の結果を示す。4周期ごとに0を出力し、正常に動作していることが確認できた。クロック分周回路は比較的回路規模が小さいので回路パラメータのずれ・ばらつきの影響を受けにくく、より高速まで動作したと考えられる。設計クロック周波数の2GHzにおける高速動作の実証はできなかったが、要素回路の正常な動作を確認することに成功した。高速クロックにおける誤動作の主な原因は試作プロセスの不完全さに起因する回路パラメータのずれと考えられる。安定した再現性のあるプロセス技術を確立することが今後の課題である。

§ 4 JJ/MOSモノリシック集積化増幅器

4.1 ジョセフソン-MOSモノリシック集積化プロセス
モノリシック集積化技術は、高性能ジョセフソン-CMOSハイブリッドシステム実現のための鍵となる技術の一つである。本研究では、ジョセフソン-MOSモノリシック集積化技術を開発し、インターフェイスの要素回路の一つであるJJ/MOS増幅回路の作製を行なった。

Fig.7にジョセフソン-MOSモノリシック集積化回路の断面の模式図を示す。Si基板上にMOSを作製し全ての半導体プロセスを終了した後、基板全面をSiO₂バイアスパッタ膜(800nm)で覆い、その上にNb/AlO_x/Nbジョセフソン回路を作製する。ジョセフソン回路のプロセスは比較的低温で行われるため(<150℃),先に作製されたMOS回路の特性に影響を与えない。

MOSのソース・ドレインはリンを不純物にした拡散プロセスにより形成し、ゲート材料はポリシリコン、配線はアルミで作られる。ゲート酸化膜厚は30nm、最小ゲート長は1.5μmである。電総研のMOS作製ファシリティの制

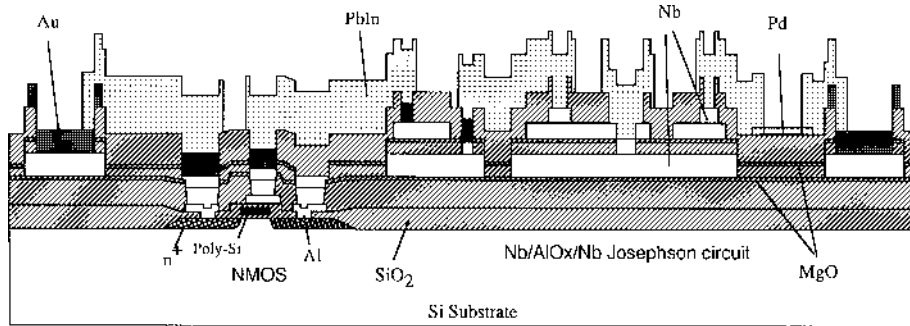


Fig.7 Monolithic integration process of a MOS-JJ circuit.

モノリシック集積化プロセス:チップ断面の模式図。MOSプロセスの完了後,絶縁および保護のため SiO_2 膜で基板全面を覆い,その上に $\text{Nb}/\text{AlO}_x/\text{Nb}$ ジョセフソン回路を作製する。

約のため,作製したMOSは全てnチャネルMOS(NMOS)である。

ジョセフソン回路は,グランドプレーンを含む通常の $\text{Nb}/\text{AlO}_x/\text{Nb}$ 接合プロセスにより作製する。絶縁層には全て SiO_2 膜,抵抗層にはパラジウム膜,最上層配線にはPbIn合金をそれぞれ用いる。接合の臨界電流密度は $560\text{A}/\text{cm}^2$,パラジウム層のシート抵抗は 2Ω である。ジョセフソン接合の最小寸法は $3 \times 3\mu\text{m}^2$ である。

MOS回路とジョセフソン回路の間の電気的接続は,メタリックな低抵抗接続は SiO_2 に開けたピアホールを通して,直流を遮断する容量性結合はグランドプレーンとベース電極層の間で形成するキャパシタンスを通して実現する。

なお,PIPO回路の作製にはこれと同じ(MOS作製工程は含まない)プロセスを用いた。

4.2 低温動作MOSの設計

MOSトランジスタの性能は,原理的には,動作温度の低下とともに向上する。これは,主としてチャネル中の不純物散乱が弱まり移動度が向上するためと,キャリアのフリーズアウトにより漏れ電流が減少するためである。また,MOS回路の低温動作には,素子自体の性能の向上だけでなく,配線抵抗の低下による配線遅延の減少やエレクトロマイグレーションの抑制などの利点がある。

今回の低温動作MOSトランジスタの設計にあたっては,極低温での移動度増加の効果を最大限に利用するために,不純物をドーピングしないシリコン(真性シリコン)基板を用いた。半導体の移動度は温度の低下とともに向上する。これは格子散乱が温度とともに減少するためである。しかし,極低温では不純物散乱の効果が増大するため,移動度はある温度で最大になり,それより低温では逆に減少してしまう。この移動度が最大になる温度は,不純物濃度が低ければ低温側にシフトする。極低温動作時に大きな移

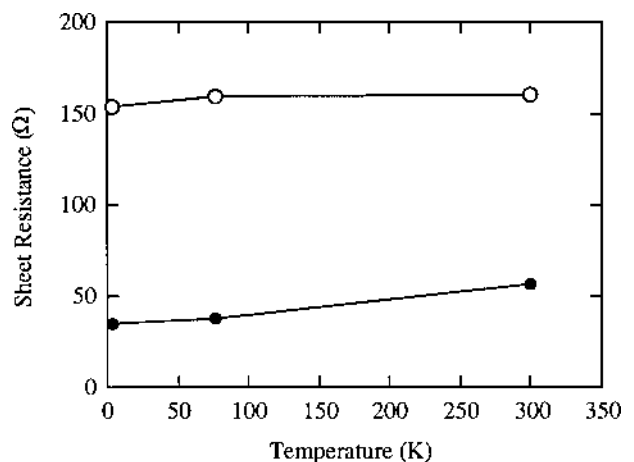


Fig.8 Temperature variation of sheet resistances for a doped layer (open circle) and a poly-Si layer (solid circle).

拡散層(黒丸)およびポリシリコン層(白丸)のシート抵抗の温度依存性。キャリアのフリーズアウトによるシート抵抗値の急激な増加は見られない。形成条件の最適化により 4.2K でも十分に低いシート抵抗を実現できた。

動度を得るためには,チャネルの不純物濃度を下げればよく,今回はチャネルに真性シリコンを用いた。このような低濃度基板を使ったMOSでは,通常室温動作ではソース,ドレインと基板の間の接合ポテンシャルの低下により漏れ電流が増加するため,トランジスタとして機能しなくなるが,低温においては正常に動作する。

低温動作時の問題点として,ソース,ドレインを形成する拡散層とゲートのポリシリコン層のシート抵抗の増加が指摘される。試作にあたっては,低温でも十分に低いシート抵抗が得られるよう,拡散層およびポリシリコン層形成条件の最適化を行なった。その結果, Fig.8に示すように,低温でのフリーズアウトによる抵抗値の急激な増加は見られず,低温MOS集積回路に十分適用できることがわかった。

4.3 回路設計

Fig.9 に設計した JJ/MOS 増幅回路の等価回路を示す。JJ/MOS 増幅回路はジョセフソン回路部分と MOS 回路部分から構成され、両者は電気的にはキャパシタンスを通して AC 的に結合している。

ジョセフソン回路部分は、4JL バッファゲートと鈴木スタックから成り、P1 相と P2 相に分かれている。4JL バッファゲートは、入力信号の電流を増幅して次段の鈴木スタックを高速に駆動するとともに、入出力分離の機能を持つ。4JL バッファゲートの出力は、10 段の鈴木スタックに入力し、約 30mV に昇圧される。従来の鈴木スタックは、入出力分離を取るために入力段が抵抗になっているが、今回の設計では入出力分離は 4JL バッファゲートで取ることができるので、入力段をジョセフソン接合に置き換えた。これによって、鈴木スタックのターンオン遅延をブランチ抵抗の値によらず小さくできる。また、パンチスルーを避けるために、鈴木スタックの構成するジョセフソン接合には 20Ω のダンピング抵抗を並列に加えた。

PIPO 回路との整合を取るため、JJ/MOS 増幅器のジョセフソン回路部分は 2 相脈流電源で駆動される。4JL バッファゲートには、通常を行なうようにレギュレータを介してバイアスを供給する。鈴木スタックの出力電圧はレギュレータ出力電圧よりも大きいので、鈴木スタックはレギュレータを通さず直接正弦波で駆動する。

鈴木スタックの出力は、10pF の結合キャパシタンスを

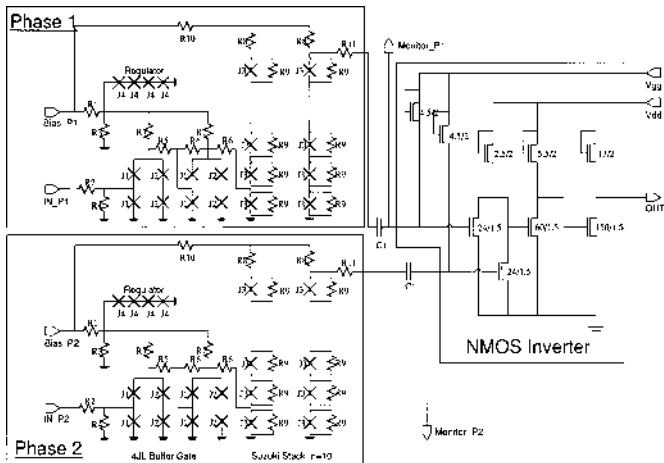


Fig.9 Equivalent circuit for a Josephson-MOS amplifier. JJ-MOS モノリシック集積化増幅回路の等価回路。4JL バッファゲート、鈴木スタック(10 段)、および NMOS インバータで構成される。鈴木スタックと MOS インバータはキャパシタンスを通して交流的に結合される。MOS インバータの入力段で P1 相と P2 相の信号が重ね合わせられ、単相クロックに整合した形になる。回路パラメータ: J1=50μA, J2=150μA, J3=300μA, J4=1.8μA, R1=50Ω, R2=47Ω, R3=16Ω, R4=3.4Ω, R5=14Ω, R6=7Ω, R7=75Ω, R8=1Ω, R9=20Ω, R10=400Ω, R11=4Ω, C1=10pF。MOS の横の数値は、ゲート幅(μm)/ゲート長(μm)を表わす。

通して MOS インバータに入力する。MOS インバータの初段は 2 入力の OR 論理ゲートと同じ形であり、2 相クロックに同期している P1 相と P2 相の信号をここで重ね合わせて、単相クロックに整合するように変換する (Fig.2(b) を参照)。

MOS インバータの段数は 3 段であり、DC ゲインの設計値は約 50 である。また、MOS インバータの入力には直流バイアスを加えて動作点を調整し、小信号増幅器として動作させアナログ的に増幅を行なう。

4.4 測定結果

Fig.10 に、同一基板上にモノリシック集積化した JJ/MOS 増幅回路の顕微鏡写真を示す。Fig.11 に 4.2K における動作試験の結果を示す。まず、MOS インバータ入力側に付加したモニター端子から信号を入力し、MOS インバータ部分の動作試験を行ない、Fig.11 に示すような正常な増幅機能を確認した。出力波形に立ち上がり・立ち下がりのみならずリップル等のひずみが観測されるが、これは

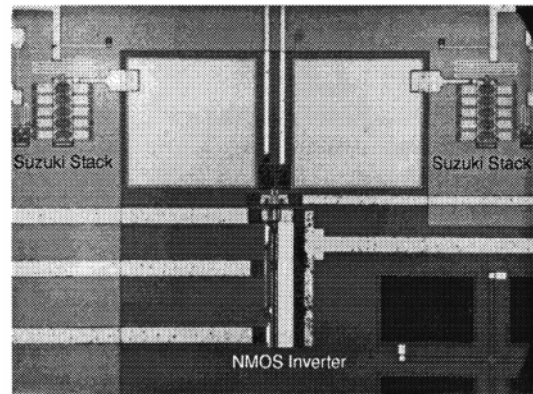


Fig.10 Micrograph of a JJ-MOS amplifier. JJ-MOS モノリシック集積化増幅回路の顕微鏡写真。

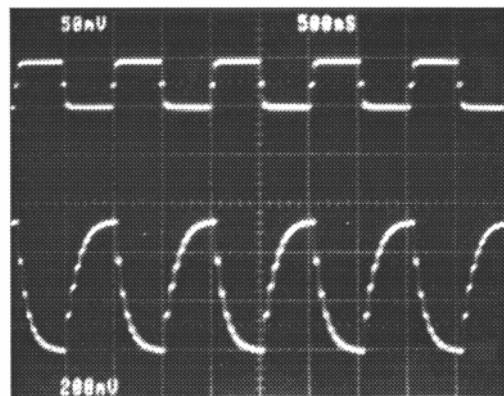


Fig.11 Results of operation for a Josephson-MOS amplifier. JJ-MOS モノリシック集積化増幅回路の MOS インバータ部分の動作特性。上段は入力信号 (モニター端子 Monitri_P1 から入力)、下段が出力。入力信号の周波数は 1MHz。4.2K において正常なインバータ動作が観測された。波形のひずみは測定系とのインピーダンス整合が不完全なため。

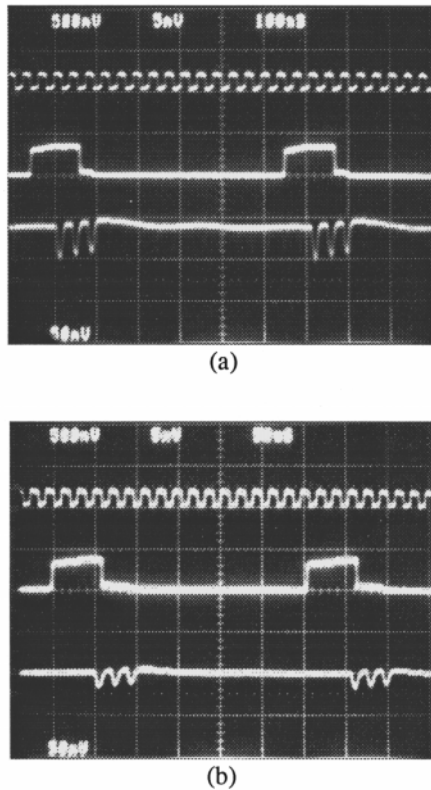


Fig.12 Results of operation for a Josephson-MOS amplifier. JJ-MOS モノリシック集積化増幅回路の動作特性。上段はバイアス、中段は入力信号、下段は出力。バイアスのクロック周波数は、(a) 25MHz および (b) 50MHz。入力信号とバイアスに応じた出力の変調が観測され、回路が正常に動作していることがわかる。

測定系とのインピーダンス整合が不完全なためである。ゲインの実測値は約 10 と設計値の 1/5 であった。これは、プロセスに起因する素子パラメータの実際の値と設計値とのずれのためバイアスを最適な動作点に設定できなかったこと、および、出力と室温の測定器を結ぶケーブル (50Ω) が「重い」負荷となっていることによると考えられる。

次に、JJ/MOS 増幅回路全体の試験を行ない、4JL バッファゲートに入力した信号を鈴木スタックと MOS インバータで増幅して外部に取り出し観測することに成功した。Fig.12(a)(b) に示すように、入力信号とジョセフソン回路のバイアスにより出力電圧の変調を観測し、JJ/MOS 増幅回路が正常に機能することを確認した。実験で得られた出力電圧はクロック 10MHz 動作時には約 50mV、50MHz では 20mV と MOS の直流ゲインの設計値から予測される値とくらべてかなり小さい。これは、MOS インバータ単体のゲインの低下と同様の理由によると考えられる。Fig.12(a)(b) の比較からわかるように、バイアスのクロック周波数を増加していくと 50MHz 付近から出力電圧の低下が観測され、200MHz 以上では出力の変調は観測できな

くなった。このことは、今回作製した MOS を、設定した目標周波数の 500MHz で動作させることが難しいことを示唆している。プロセスの改善を中心とした、JJ/MOS 増幅回路の改良が課題である。

以上のように、高周波特性において目標に到達できなかったが、同一基板上にモノリシックに作製したジョセフソン接合と MOS インバータから成る増幅回路の基本的な動作を確認することに成功し、ジョセフソン-CMOS ハイブリッドシステムのためのモノリシック集積化技術の有効性を示すことができた。

§ 5 今後の課題

ジョセフソン技術と半導体技術のハイブリッド化は高性能デジタルシステム開発のための有効な手法である。本プロジェクトでは、同一基板上に集積したジョセフソン-MOS 論理回路の高速ハイブリッド動作を達成することを目標として研究を進めてきた。高性能ジョセフソン-CMOS ハイブリッド回路実現のための最も重要な開発要素である、二つの回路ブロック間の高速・大容量データ伝送を可能にするインターフェイス回路の開発を研究課題とした。インターフェイス回路を、モノリシックに集積化したジョセフソン接合と MOS トランジスタで作製し、ジョセフソン回路 2GHz、MOS 回路 500MHz のクロックで動作させ、その高速性を実証することを目標とした。ジョセフソン-CMOS ハイブリッド回路の構成法を検討し、新たに提案した異なるクロックで動作する二つの回路間のデータ伝送方式に基づいて、インターフェイス回路の設計を行なった。インターフェイス回路の開発は、データ伝送プロトコルを制御するジョセフソン PIPO 回路の開発および JJ/MOS モノリシック集積化増幅回路の開発から成り、共通の技術基盤の上でそれぞれの要素の開発を行なった。その結果、主に動作速度の点で当初の数値目標を達成できなかったが、いずれの要素回路も正常に動作することを確認し、設計概念および開発手法の正当性が裏付けられた。本研究の成果により、回路レベルでのジョセフソン技術と CMOS 技術のハイブリッド化の概念が確立し、また、ジョセフソン-MOS モノリシック集積化技術の基礎を確立することができたと考えている。当初の目標であった高速動作が達成できなかった原因は主に回路作製プロセスの不完全さと考えられ、この点を改善することが今後の課題である。

ジョセフソン-CMOS ハイブリッド技術が本当の意味で実用化されるためには、それぞれの要素技術が有機的に機能するシステムレベルでの完成が要求される。ハイブリッド回路技術そのものをより洗練していくことは当然必要で

あるが、デジタルシステム全体を見通し実装技術やアーキテクチャへの展開が今後より重要になると考えられる。

ジョセフソンデジタル技術の動向として、回路方式の主流がラッチング回路からRSFQ回路へと移りつつある。今回の研究ではジョセフソン回路にはラッチング方式の4JLゲートを採用したが、提案したハイブリッド回路およびデータ転送方式の基本概念はRSFQ回路にも原理的に適用できると考えている。

謝 辞

本研究は、産業科学技術研究開発制度の基に、平成7年度から平成9年度にかけ、電子技術総合研究所と(財)新機能素子研究開発協会(以下、素子協会と略す。)との共同研究により実施されたものである。研究に必要な機器購入のための予算確保、事務処理等にご協力いただきました素子協会の前田祝専務理事、岡山重夫元研究開発部長、杉山佳延前研究開発部長、野口和男前研究開発課長および砂井正之研究開発部主任研究員に感謝いたします。研究開始当初において、ハイブリッド方式の選択等につきご議論いただきました黒沢格日本女子大学教授および濱崎陽一氏に感謝いたします。研究の進捗に関しご鞭撻いただきました坂本統徳電子デバイス部長に感謝いたします。また、回路作製に協力していただきました平山文紀氏、桐生昭吾氏および瀬川繁昌氏に感謝いたします。

参 考 文 献

- 1) 東海林：低温工学，31 (1996) 43.
- 2) A. Shoji：Extended Abstract of 1996 International Workshop on Superconductivity, 105 (1996).
- 3) A. Shoji：Extended Abstract of 15th Symposium on Future Electron Devices, FED-149 (1996)182 .

< 発表論文など >

1 . 論文発表

1 . 1 原著論文

- 1) 黒沢：Superconductor-Semiconductor Hybrid Technology, Abstracts of International Workshop on Low Temperature Superconductive Electronics, 11 (1995).
- 2) 黒沢：超電導デジタル技術・ハイブリッド化と非同期回路，超電導エレクトロニクス第146委員会第53回研究会資料19 (1995).
- 3) 東海林：NbCxN1-x-based Josephson Junction Technology,

Abstracts of International Workshop on Low Temperature Superconductive Electronics, 6 (1995).

- 4) 山本，前澤，青柳，仲川，黒沢，松本：超電導ゲート電極を用いたnMOSFETの極低温における特性，信学技報 SCE95-42, 37 (1996).
- 5) 鈴木，他：An Interface Circuit for a Josephson-CMOS Hybrid Digital System, to be published in IEEE Trans. Appl. Supercond Vol.9 (1999).

1 . 2 解 説

- 1) 黒沢：超電導・ジョセフソン素子，電子情報通信学会誌78, 11号, 1086 (1995)
- 2) 東海林：超電導・半導体ハイブリッドデバイス技術，低温工学 Vol.31, No.11, 43 (1996).
- 3) 東海林：Hybrid System Technologies for Josephson Digital LSI, Extended Abstracts of 1996 International Workshop on Superconductivity, 105 (1996).
- 4) 東海林：Josephson-MOS Hybrid Device Technologies, Extended Abstracts of 15th Symposium on Future Electron Devices, 182 (1996).

2 . 口頭発表

9 件

3 . 特許

- 1) 黒沢，仲川，青柳，前澤：電界効果装置と電界効果装置を動作させるための方法，及びそれに用いる構造，特願平7-333125 (1995).
- 2) 青柳，仲川：ジョセフソン回路用高周波電源供給装置，特願平8-113771 (1996) .
- 3) 青柳，仲川：超電導回路構造とその作製法，特願平8-292357 (1996) .

(1999. 2.18 受付)