

ジョセフソン DAC を用いた交流電圧測定における誤差要因 Uncertainties in AC Voltage Measurements Using Josephson DA Converters

佐々木 仁 桐生 昭吾 東海林 彰
H. SASAKI S. KIRYU A. SHOJI

Abstract --- Digital to analog converters based on the Josephson effect (Josephson DAC) produce voltage steps with ultimate precision and stability. Hence a new ac voltage standard may be realized by using a sinusoidal waveform synthesized with a Josephson DAC. In order to realize an ac voltage standard with accuracy higher than that for the traditional ac-dc transfer standard based on thermal method, analysis of dynamic characteristics of Josephson DACs is important. In this paper, possible sources of uncertainties in the synthesis of a sinusoidal waveform using three types of Josephson DACs are analyzed.

§ 1 はじめに

ジョセフソン素子にマイクロ波を照射すると、超伝導体の波動関数の位相差とマイクロ波の干渉によって素子の電流/電圧特性曲線上に、一定の間隔で定電圧ステップが発生する。この電圧間隔は、照射するマイクロ波の周波数のみに依存し、素子の材質や形状等の他のパラメータには依存しないため、精密直流電圧測定における基礎標準として広く用いられている¹⁻³⁾。ジョセフソン素子に入力されるマイクロ波周波数 f と、 n 次のステップ電圧 V_n の間には、ジョセフソンの関係式が成り立つ。

$$V_n = nf / K_J \quad (1)$$

K_J は磁束量子 $\Phi_0 = h/2e$ の逆数であり、電圧標準として用いる場合には、483597.9 GHz/V が勧告値として定められている。ジョセフソン素子アレーの場合には、(1)式の n は各接合の定電圧ステップの次数が合計された数に相当する。 n または f を時間的に変化させることができれば、任意の電圧波形を発生させることの可能な高精度 DA 変換回路（以下ジョセフソン DAC と略す）が実現できる。最近になって、いくつかのジョセフソン DAC が提案されている。NIST からは SNS 素子を用いたバイナリー型 DAC^{4,5)}およびパルス駆動型 DAC^{6,7)}が提案され、このうちバイナリー型 DAC は、ほぼ実用化の段階に達している。また NIST および SUNY からは、それぞれ RSFQ (Rapid Single-Flux

Quantum) 論理素子を用いた RSFQ 型 DAC⁸⁻¹⁰⁾が提案され、基本動作が確認されている。

これらのジョセフソン DAC の主要な用途の一つとして、交流電圧標準への応用が期待される。ジョセフソン DAC は、原理的には直流電圧標準と同様に、ジョセフソンの関係式から得られる究極の精度で正弦波を合成することができる。したがって、この高精度正弦波を交流電圧標準に応用すれば、従来のサーマル・コンバータ (Thermal Converter: TC) を用いた ac-dc トランスファ標準^{11,12)}を上回る精度で交流電圧標準を実現できる可能性がある。一方、直流電圧標準の場合と異なり、ジョセフソン DAC を交流電圧標準の導出に用いる場合には、スイッチングに伴うトランジェントやジッタ、高調波成分の影響など、動的な誤差成分の解析が重要となる。本稿においては、ジョセフソン DAC を用いて正弦波を発生させた場合に、その実効値測定に影響をおよぼす誤差要因について、以下の各節においてそれぞれ検討を行う。

§ 2 ジョセフソン DAC の動作原理

ジョセフソン DAC を交流電圧標準に応用する際の誤差要因について具体的な検討を行う前に、まずジョセフソン DAC を実現するための具体的な手法として提案されている、(1) バイナリー型 DAC、(2) パルス駆動型 DAC、および (3) RSFQ 型 DAC について、それぞれ動作原理や特長について概要を記す。

2.1 バイナリー型 DAC

ジョセフソン素子を用いたDA変換回路のうち、最も実用化に近いレベルまで研究が進んでいるのが、NISTのC. Hamiltonによって提案されたバイナリー型DACである^{4,5)}。この方式においては、Fig. 1(a)に示すように、ジョセフソン素子はバイナリー系列(1, 2, ..., 2^n , ...)のセグメントに分けられ、各セグメントにそれぞれ個別のバイアス電流端子が接続される。ジョセフソン素子が $2n$ 個含まれるセグメントは、 n 番目のビットに対応する。

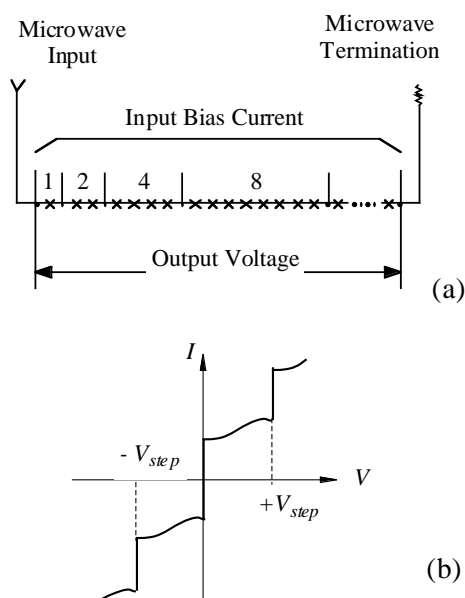


Fig.1 バイナリー型 DAC

出力電圧の発生には、0次および ± 1 次の定電圧ステップを利用する。このため、抵抗でシャントされたSIS素子またはSNS素子を用いることによって電流・電圧特性をFig. 1(b)に示すようなオーバーダンプ型の特性とし、ヒステリシスのない電圧ステップを発生させている。各セグメントのバイアス電流を、デジタル入力に応じて制御することにより、ステップ状の任意電圧が得られる。この方式においては、各セグメント内において共通のバイアス電流が用いられる。従って、セグメント内の素子が全て同一の電圧ステップにバイアスされるためには、セグメント内の素子特性のバラツキを数%以下に制御する必要がある。ジョセフソン素子作製技術の向上によって、数千個にわたって均一な素子特性を得ることが可能になって、初めてこの方式が実現された。また、チップ内の全素子に対して均一なマイクロ波パワーを照射することも、重要な技術的課題であった。NISTではコプラナー型のマイクロ波ストリップ・ラインを用いて、チップ内で均一なマイクロ波パワーが得られるように工夫している。この結果、

32240個のSNS接合アレーに15 GHzのマイクロ波を照射することによって、 ± 1 Vまでの任意電圧を得ることに成功している。

一方、バイナリー型DACの場合、アナログ出力の遷移はバイアス電流のスイッチングによってコントロールされている。このため、アナログ出力のトランジェント特性は、主として室温におかれた半導体の動特性によって決定されてしまう。後述するように、バイナリー型DACは、トランジェントの影響が大きく、精度の要求されるオーディオ周波数領域(10 Hz ~ 100 kHz)においては、半導体DACに対して優位性を保つことはできない。

2.2 パルス駆動型 DAC

前章の(1)式で示されるように、ジョセフソン素子に照射されるマイクロ波駆動周波数 f を時間的に変化させることによって、任意の電圧波形を発生させることができる筈である。しかし、安定な電圧ステップを得るためには、マイクロ波のレベルおよび周波数と、バイアス電流値の間に一定の関係を満たすことが必要であり、単にマイクロ波の周波数を変化させただけでは、任意の電圧波形を発生させることはできない。

NISTのS. Benz等によって提案されたパルス駆動型DAC^{6,7)}においては、従来の連続波(サイン波)に換えてパルス波を用いることによって、この問題を巧みに解決した。パルス駆動型DACの動作原理をFig. 2に示す。

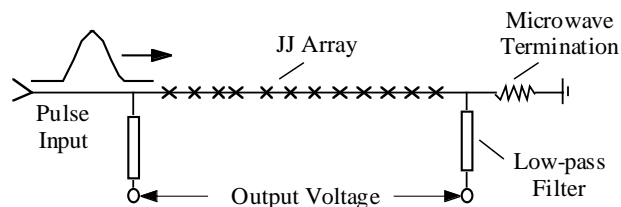


Fig.2 パルス駆動型 DAC

ジョセフソン素子アレーには、バイナリー型DACと同様に、コプラナー型のマイクロ波ストリップ・ラインを用いて、チップ内でのマイクロ波パワーの均一性を確保している。マイクロ波帯(<6 bit/s)のパルスは、ジョセフソン素子アレーの一端から入力され、ストリップ・ライン上で直列接続されたSNS素子を伝搬した後、終端抵抗で吸収される。ジョセフソン素子アレーの両端には、ローパス・フィルタを介して出力端子が接続されている。

パルス駆動型DACは、ジョセフソン素子を用いた電圧パルスの量子化回路と考えたほうが、理解しやすい⁷⁾。ジョセフソン素子に入力する電流パルスの振幅を適当に選べると、パルスが入力されるたびにジョセフソン素子の位相差が一回転(2π)し、素子両端に電圧パルスが発生する。この

電圧パルスを時間軸で積分すると、

$$\int V(t) dt = h/2e \equiv \Phi_0 \quad (2)$$

を得る。すなわち、電圧パルスの積分値は、磁束量子 $\Phi_0 = h/2e$ に一致する。ジョセフソン素子アレーの場合には、直列接続された N 個のジョセフソン素子が、周期 $T=1/f$ 毎に量子化された電圧パルス Φ_0 を同時に出力すると考えると、(1)式が導かれる。

駆動周波数を時間的に変化させることによって任意の電圧波形を得るため、バイナリー型のように外部からバイアス電流をスイッチングする必要がない。したがってトランジェントの影響は大幅に軽減される。

一方、パルス駆動型DACにおいては、DA変換自体はマイクロ波パルス発生器によって行われ、ジョセフソン素子アレーには、既にパルス密度変調された、電流パルス列が入力される。ジョセフソン素子アレーは、パルスの量子化を行うだけで、出力波形と入力波形の間に本質的な差異はない。言い換えると、入力波形と出力波形は、同様のパワー・スペクトルを有する。従って、ジョセフソン素子アレーへ入力されるマイクロ波パルス列の低周波成分が、相互インダクタンス等を通じて直接出力側と結合しないように、入出力の分離には十分な配慮が必要となる。

NISTでは1000個のジョセフソン素子アレーを用いて、パルス繰り返し周波数 <6G bit/s においてパルス駆動型DACの基本動作の確認が行われ、数 mV の出力電圧を得ている。今後、素子数の増加やパルス繰り返し周波数の向上によって、100 mV 程度の出力電圧を目指している。ただし、GHz 帯のマイクロ波パルス発生器は極めて高価であり、パルス駆動型DACの実用化においては障害となる可能性がある。

2.3 RSFQ 型 DAC

RSFQ型DACは、磁束量子の運動に基づくRSFQ (Rapid Single-Flux Quantum) 論理回路を用いて構成される。この方式のDA変換回路においては、パルス駆動型DACと同様に、量子化された電圧パルス(SFQパルス)密度を変化させることによって、任意の電圧出力が導出できる。ただし、SFQパルスの発生は、RSFQ論理回路を用いて、DAC内部において行われるため、外部マイクロ波回路を必要としない。

この方式のDA変換回路としては、NISTのC. Hamilton および SUNY の Semenov 等によって、先駆的な仕事が行われている⁸⁻¹⁰⁾。このうちSUNYで開発中のRSFQ型DACにおいては、現在までに8 bitの分解能と10 mV程度の出力が得られている。RSFQ型DACは外部マイクロ波ソースが不要なため、将来的には精密電気測定分野における基

礎標準として広く用いられることが期待される。当所においては、昨年から研究を開始し、現在RSFQ論理素子を作成するための基礎データの取得、および回路設計のための計算機シミュレーションを行っている。

当所において開発中のRSFQ型DACの構成をFig. 3に示す。

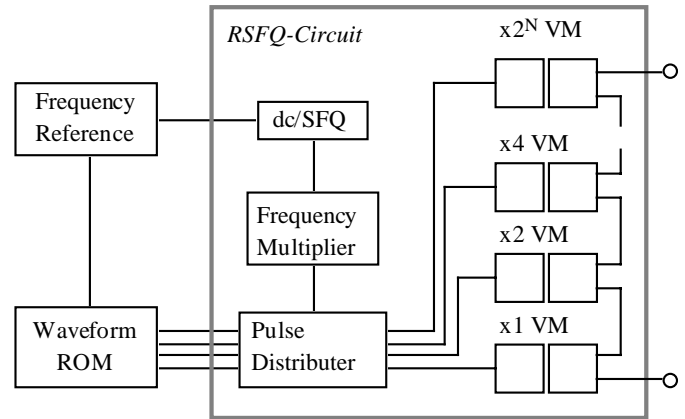


Fig.3 RSFQ 型 DAC

このRSFQ型DACは、4.2KにおかれたRSFQ回路(Frequency Multiplier回路、Pulse Distributor回路、Voltage Multiplier (VM)回路)と、室温におかれたFrequency ReferenceおよびWaveform ROMから構成される。

Frequency Multiplier回路は、Frequency Referenceの発生する10 MHzの外部基準周波数に同期して、10 GHz程度のSFQパルスを発生する。Waveform ROMは、同じく10 MHzの外部基準周波数に同期して、サイン波のデジタル・コードを発生させる。Pulse Distributor回路は、このデジタル・コードに対応して、SFQパルスを各Voltage Multiplier (VM)回路に振り分ける。直列接続されたVoltage Multiplier (VM)では、入力されたSFQパルスが 2^N 倍され、その出力電圧はデジタル・コードに対応してバイナリーに加算される。

RSFQ型DACの最大の欠点として、回路規模が大きくなることが挙げられる。VMの動作周波数を15 GHzとすると、1 Vの出力を得るためには、15 bitのDACが必要となる。VMの最小モジュール当たり4個のジョセフソン素子が必要であるため、トータルで約13万個の回路規模になってしまう。また、抵抗シャント型のSIS素子を用いるため、出力の電流コンプライエンスも他の方式と比較して二桁程度と小さくなってしまふ。

一方、RSFQ型DACの特長として、出力のスイッチングがRSFQデジタル回路によって高速に行われるため、バイナリー型DACと比較してトランジェントの影響は大幅に軽減される。またパルス駆動型DACと同様に、電圧パルスの量子化を基本原理として用いているが、周波数 f

ではなく個数 N の制御を基本とするため,入出力間の干渉の問題も大幅に軽減される。

§ 3 トランジェントの影響

DA変換器を用いて正弦波を発生させた場合,出力はデジタル的に合成された階段状の波形となる。この階段波形にグリッチやジッタ等のトランジェントの影響が生じた場合には,出力波形のRMS値が計算値と一致せず,交流電圧測定に誤差を与える。本章では,ジョセフソンDACにおけるグリッチの影響およびジッタ影響について,具体的な検討を行う。

3.1 グリッチの影響

ジョセフソンDACの場合に限らず,バイナリー方式のDA変換回路においては,ほぼ例外なく,グリッチと呼ばれるスパイク状のノイズの発生が問題となる。グリッチはスイッチングのタイミングのずれによって生じ,上位ビットが変化する際に最も顕著となる。仮に4ビットのDA変換器において, Fig.4 に示されるように,デジタル入力が[0111]から[1000]に切り替わる場合を考える。もし最上位ビット(bit 4)が他のビットに対して Δt_{ap} だけ早めに切り替わった場合,アナログ出力は[1111]を経由し,従ってアナログ出力は図のようにスパイク状に変化する。アナログ出力が $V_0 = [1111]$ を経由する場合,出力のパワーは,時間 Δt_{ap} の間,約 $(3/4)V_0^2$ だけ増加する。振幅 V_0 のサイン波の場合,平均パワーは $(1/2)V_0^2$ であり,最上位ビットのデジタル入力が1周期 T の間に4回切り替わる事を考慮すると,上記のような最悪のケースにおけるグリッチの平均ノイズパワーは,下式のように求められる。

$$\frac{\Delta P}{P_0} \cong \frac{4 \times \Delta t_{ap} \times (3V_0^2/4)}{T \times (V_0^2/2)} = \frac{6\Delta t_{ap}}{T} \quad (3)$$

NISTで開発したバイナリー型DACでは,デジタル入力信号でスイッチングされたバイアス電流は,半導体電流ア

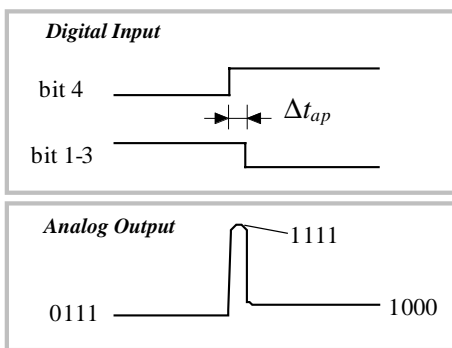


Fig.4 グリッチの発生

ンプを介してジョセフソン素子アレーに入力される。バイアス電流の立ち上げ,立ち下がりにおける on/off-time および遅延時間は電流アンプのスルーレートに依存するため, Δt_{ap} は100 nS程度となる⁵⁾。この場合,グリッチの実効値への影響は,1 kHzにおいて0.05%に達し,精密測定においては致命的な誤差となる。

RSFQ型DACはバイナリー方式のDA変換を用いているが,後述するように,Voltage Multiplierへの入力パルスが直接デジタル回路で制御されるため,グリッチの問題は大幅に軽減される。一方,マイクロ波パルス駆動型DA変換では, N ではなく f を変化させるため,グリッチの問題は生じない。

3.2 ジッタの影響

DA変換器を用いて波形合成を行う場合, Fig.5 に示されるように,アナログ出力の遷移のタイミングが理想的なタイミングからずれた場合には出力のRMS値に誤差を与える。立ち上がりの遷移が,立ち下がりとの遷移のタイミングと比較して,全て Δt_{ap} だけ相対的に遅れるような,最悪のケースを想定した場合,ジッタの影響は下式のように求められる。

$$\frac{\Delta P}{P_0} \cong \frac{2 \times \Delta t_{ap} \times V_0^2}{T \times (V_0^2/2)} = \frac{4\Delta t_{ap}}{T} \quad (4)$$

従って,グリッチの問題が解決されたとしても,スイッチングのタイミングの不確かさに起因して,グリッチと同程度の不確かさが生じてしまう。疑似サイン波の基本周波数を1 kHzに設定した場合, 10^{-7} レベルの精密測定を実現するためには, Δt_{ap} を0.1 ns以下に抑える必要がある。

バイナリー型DACの場合のように,ジョセフソン素子とスイッチング素子の間に電流アンプやフィルターが介在する場合には, Δt_{ap} を10 ns程度以下に抑えることは容易ではない。一方,後述するように,パルス駆動型DACおよびRSFQ型DACの場合には,出力は量子化されたパル

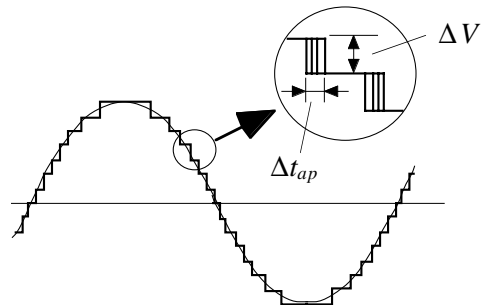


Fig.5 ジッタの影響

ス列となるために、スイッチングのタイミングの不確かさは重要な誤差要因とはならない。

§ 4 高調波成分の影響

DA変換器を用いて合成した階段状のサイン波は、基本波以外に高次の周波数成分を有する。またパルス駆動型DACやRSFQ型DACの場合、出力は10 ps程度の電圧パルスの重ね合わせとなるため、高次の周波数成分において大きなパワーが存在する。高次の周波数成分の有するパワーはRMS測定において誤差要因となるため、フィルタを用いて除去しなければならない。一方で、フィルタによって基本波の振幅自身が影響を受けないような配慮も必要となる。本章では、このような量子化ノイズやパルス変調に起因する高次の周波数成分について、実効値測定への影響を見積もる。

4.1 フィルタによる基本波の減衰

ローパス・フィルタのカット・オフ周波数 f_c を設定する場合、高次の周波数成分の除去のためにはなるべく低い f_c が望ましいが、基本波への影響を考慮すると、あまり低くは設定できない。ここでは二次のバターース・フィルタを想定して、フィルタ通過に伴う基本波の減衰量の見積もりを行う。 n 次のバターース・フィルタの伝達特性は下式で与えられる。

$$\frac{P_{out}}{P_{in}} = \frac{1}{1 + (f/f_c)^{2n}} \quad (5)$$

従って、フィルタによる減衰を 10^{-8} 程度に抑えるためには、 f_c は f_0 から2桁以上離す必要がある。基本波を1 kHzに設定した場合には、カット・オフ周波数を1 MHzを設定すればフィルタによるパワーの減衰は 10^{-12} 程度に抑えられる。ただし、フィルタの特性が設計からずれた場合には、減衰量が増大する可能性があるため、注意が必要である。

4.2 量子化・標本化ノイズ

DA変換器を用いて合成されたサイン波は、量子化に伴う高次の周波数成分を有する。サイン波の場合、量子化に起因する誤差(量子化誤差)は、ほぼ振幅 2^{-n} (peak to peak)の鋸歯状波と見なせる。したがって、基本波のパワーに対する量子化雑音電力の概略値は下式のように求められる。

$$\frac{P_{noise}}{P_0} = \left(\frac{2^{-2n}}{3} \right) / \left(\frac{1}{2} \right) = \frac{2^{-2n}}{3} \quad (6)$$

例えば10ビットの疑似サイン波の場合、基本波のパワーに対する量子化雑音電力は約0.2 ppmとなる。RMS値の誤差は、その1/2の約0.1 ppmとなる。

一方、電圧軸の分解能に対して、時間軸の分解能が十分でない場合には、標本化ノイズが支配的となる。時間分解能を一周期あたり 10^4 に設定した場合に、量子化のビット数を $n=7$ から $n=12$ まで変化させた際の、量子化および標本化に起因する雑音電力を数値計算によって求めた。結果をFig.6に示す。図中、“Simple Theory”と示された直線は(6)式で求められた概略値を示す。予想通り、ビット数が $n=7$ から $n=10$ までは、量子化誤差が支配的であるが、 $n>11$ では標本化ノイズが支配的となる様子が示されている。

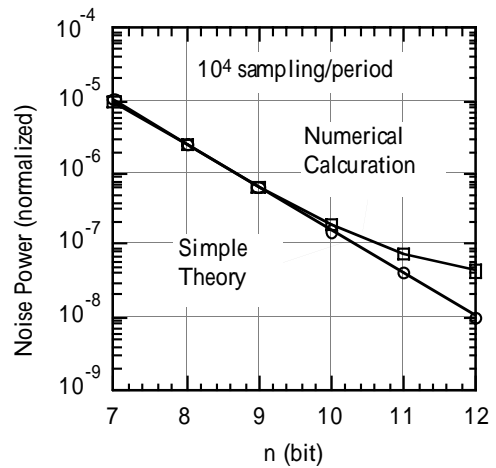


Fig.6 量子化および標本化に起因する雑音電力

以上の結果が示すように、量子化および標本化に伴う雑音電力は、十分な電圧軸分解能および時間軸分解能を用いることによって、フィルタによる高次の周波数成分の除去に頼らずに、比較的容易に抑制することが可能である。基本波周波数およびサンプリング周波数をそれぞれを1 kHz、10 MHzに設定した場合には、DA変換器の分解能を10ビット以上にとれば、雑音電力の影響は0.1 ppm以下に抑えることが可能である。

4.3 SFQパルス列の有する高周波成分の影響

RSFQ回路を用いたDA変換器の場合、最終段のVoltage Multiplierの出力は、周期100 ps、幅10 ps程度の密度変調されたSFQパルス列となる。また、パルス駆動型DACの場合も、ジョセフソン・アレーの出力は、ほぼ同様のパルス列となる。このパルス列は、10-100 GHz付近の周波数成分において大きなノイズパワーを発生するため、フィルタによって除去する必要がある。簡単のため、SFQパルスをFig.7に示すような方形波のパルスと考え、このパルス列の発生する高周波ノイズパワーを見積もる。

このパルス列は、フーリエ級数を用いて、次式のように表

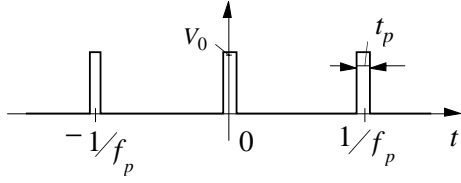


Fig.7 SFQ パルス列

される。

$$V_{SFQ}(t) = V_0 \sum_{\substack{n=-\infty \\ n=even}}^{+\infty} \frac{2}{n\pi} \sin\left(\frac{n\pi f_p t_p}{2}\right) e^{in2\pi f_p t} \quad (7)$$

このパルス列の直流成分 $V_{0f_p t_p} = 0.1 V_0$ で規格化すると、高次の周波数成分は下式で与えられる。

$$P_{SFQ}(2n) = \frac{4}{(n\pi f_p t_p)^2} \sin^2(n\pi f_p t_p) \quad (8)$$

関数 P_{SFQ} は、 $n=0$ 付近で最大値(≈ 4)となり、振動しながら緩やかに減衰していく。周期 100 ps のパルス列の場合、 $n=1$ の基本波(10 GHz)に対して、同程度のパワーを有する高次の周波数成分が 20 GHz 以上に存在する。一方、カット・オフ周波数 f_c が 10 GHz より十分に低い、二次のパワース・フィルタを用いた場合、高次の高調波パワーはフィルタによって $1/n^4$ に減衰する。従って、ノイズパワーの見積もりには基本波のみを考慮すればよい。 $f_s t_{off} \ll 1$ の関係を用いると、フィルタ通過後の SFQ パルス列の高周波ノイズパワーは下式により与えられる。

$$P_{SFQ} = \frac{1}{4} \left(\frac{f_c}{f_p}\right)^4 \approx 2.5 \times 10^{-17} \quad (9)$$

このように、SFQ パルス列に伴う雑音電力は、フィルタによってほぼ完全に除去することが可能である。

4.4 SFQ パルス列の不連続分布の影響

RSFQ 型 DAC の場合、Pulse distributor 回路によって SFQ パルス列を各 Voltage Multiplier の入力に振り分ける方式を用いる。この際、振り分けの直前・直後に 1 ns 程度の SFQ パルス列が出力されない時間(off-time: t_{off})が生じる。サンプリング周波数 f_s を 10 MHz に設定した場合、サイン波の周波数(1 kHz)に対して十分高いため、サイン波の一部を直流と見なし、これに周期 100 ns、幅 1 ns のグリッチが加わったものとして評価する。(Fig.8 参照)

このグリッチは、1-10GHz 付近の周波数成分においてノ

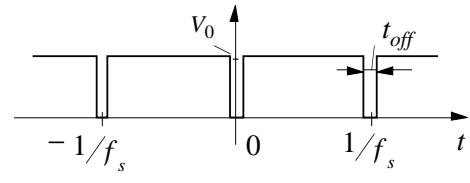


Fig.8 SFQ パルスの不連続性

イズパワーを発生するため、やはりフィルタによって除去する必要がある。直流にグリッチが加わった波形は、フーリエ級数を用いて、次式のように表される。

$$V_{IN}(t)/V_0 = 1 - \sum_{\substack{n=-\infty \\ n=even}}^{+\infty} \frac{2}{n\pi} \sin\left(\frac{n\pi f_s t_{off}}{2}\right) e^{in2\pi f_s t} \quad (10)$$

直流成分($n=0$)および高次の周波数成分は下式で与えられる。

$$\begin{aligned} P_{IN}(2n) &= \frac{4}{(n\pi)^2} \sin^2(n\pi f_s t_{off}) \quad [n=1, 2, \dots] \\ P_{IN}(0) &= (1 - f_s t_{off})^2 \quad [n=0 \text{ (DC)}] \end{aligned} \quad (11)$$

ノイズパワーは 2 GHz ($2n=2$) 付近で最大値($\approx 10^{-4}$)となり、 f_c (1 MHz) のフィルタによって $1/n^4$ に減衰していく。従って、前節同様、ノイズパワーの評価には第二高調波のみを考慮すれば十分である。 $f_s t_{off} \ll 1$ の関係を用いると、フィルタ通過後のグリッチのノイズパワーは下式により与えられる。

$$P_{Glitch} = \frac{(f_s t_{off})^2}{4} \left(\frac{f_c}{f_s}\right)^4 \approx 2.5 \times 10^{-9} \quad (12)$$

このように、SFQ パルス列の不連続分布に伴う雑音電力は、もともと 10^{-4} 程度であり、フィルタによってほぼ完全に除去することが可能である。

§ 5 伝送線路の影響

4.2K におかれたジョセフソン素子アレーで発生した電圧は、一般的には、信号ケーブルを介して室温の測定回路に導かれ、そこでサーマル・コンバータ(TC)やデジタル電圧計(DVM)などの交流電圧測定器を用いて測定される。クライオスタット先端にマウントされた JJ 素子アレーと He デュワー外部におかれた室温測定器との間の信号ケーブルは 1 m 程度の長さを有するため、ケーブルの抵抗やインダクタンス、容量などの影響が無視できなくなる。また、ケーブルの両端の温度差は約 300 K に達するため、ケーブルにおける熱電気効果の影響も重要となる。本章で

は、このような室温測定系とジョセフソン素子間の伝送線路の影響についての評価を行う。

5.1 ケーブルの寄生 LCR の影響(直接測定)

4.2K におかれたジョセフソン素子アレーで発生した電圧 V_J 、角周波数 ω の交流電圧を、長さ l のケーブルを介して室温で測定する場合を考える。まず、TC や DVM を用いて交流電圧 V_{meas} を測定する場合を考える。測定の行われる周波数領域は比較的 low 周波 (<1 MHz) であるため、ケーブルの寄生インダクタンス等を集中定数回路系として解析する。単純化された等価回路を Fig.9 に示す。

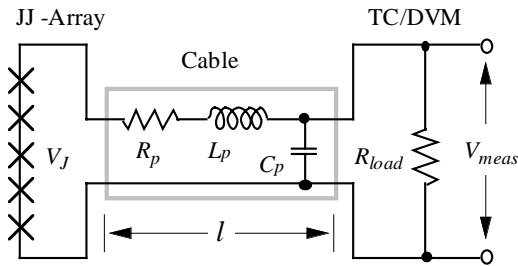


Fig.9 信号伝送線路のモデル化

モデル化された等価回路にキルヒホッフの定理を適用すると、 V_{meas} は下式のように求められる。ただし、 V_{meas} を微小な量である R_p/R_{load} 、 $\omega L_p/R_{load}$ 、 $\omega C_p R_{load}$ に対して展開し、高次の項を省略すると、下式を得る。

$$\frac{|V_{meas}| - |V_J|}{|V_J|} \cong -\frac{R_p}{R_{load}} - \omega^2 L_p C_p - \frac{1}{2} \omega^2 C_p^2 R_p^2 \quad (13)$$

第1項は、負荷抵抗 R_{load} が有限なためにケーブルに負荷電流が流れ、ケーブル両端に電圧降下が生じることによって起こる誤差を表す。オーディオ帯域における高精度の交流電圧測定素子として広く用いられる、サーマル・コンバータ(TC)の場合、入力抵抗 R_{load} は 100Ω - 1 kΩ 程度である。この場合、ケーブルの単位長さ当たりの抵抗値として $R_p/l=0.1 \Omega/m$ を用いると、1 m の長さのケーブルによって生じる誤差は、0.1% - 0.01% となる。この誤差は、ケーブル両端の電圧を直接測定するか、またはケーブルの抵抗値 R_p および負荷抵抗値 R_{load} を測定して補正を加える事によって、3桁程度までは相殺することが可能である。ただし、温度変化の大きな環境におかれた信号ケーブルの抵抗値を、100μΩ 程度の精度で測定することは容易ではない。なお、ケーブルの導体の表皮効果及び絶縁体の誘電損失に起因して、高周波領域では R_p の周波数依存性が生じるが、1 kHz 付近では一定とみなして差し支えない。

一方、低周波帯域 (<100 Hz) においては、交流電圧測定用 DVM を用いることによって、負荷電流の影響を軽減す

ることができる。交流電圧測定用 DVM は、1 MΩ 程度の入力抵抗を有するため、1 m の長さのケーブルによって生じる誤差は、約 0.1 ppm となる。ただし、交流電圧測定用 DVM は、比較的大きな入力容量 (100 pF 程度) を有する。この場合、10 kHz における等価入力インピーダンスは、0.16 MΩ となり、無視できなくなる。検出器の入力容量によって生じる誤差は、ケーブル容量 C_p によって生じる誤差とほぼ等価とみなすことができ、(14) 式の第2項を用いて評価する事ができる。

ケーブルの寄生インピーダンスによって生じる誤差を、(13) 式に基づき周波数を横軸にしてグラフにしたものを Fig.10 に示す。

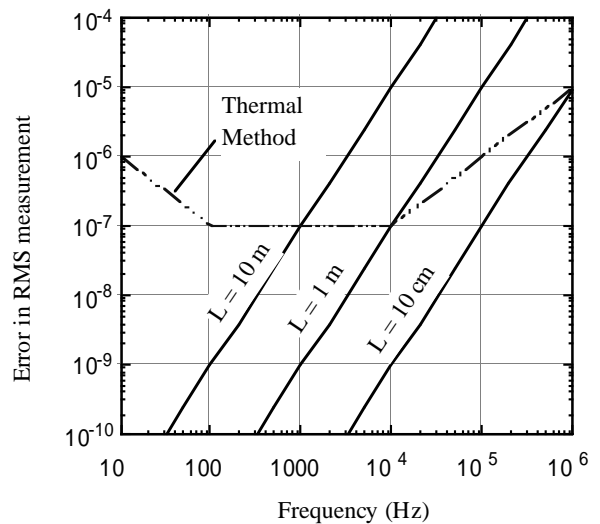


Fig.10 信号伝送線路の LCR の影響

ここで、ケーブルの単位長さ当たりの値として、 $R_p/l=0.1 \Omega/m$ 、 $L_p/l=0.3 \mu H/m$ 、 $C_p/l=0.1 nF/m$ を用いた。図中、“Thermal Method” と示された点線は、従来の TC を用いた交流電圧測定における典型的な測定の不確かさを表す。室温におかれた測定器とジョセフソン素子を結ぶケーブルの長さを 1 m とした場合、ケーブルの寄生インピーダンスによる影響は、1 kHz においては 10^{-9} のオーダーであり、無視できるほど小さい。しかし、影響は周波数の二乗に比例して増加するため、10 kHz 以上では従来の方式を上回る不確かさを与える。

5.2 ケーブルの寄生 LCR の影響(比較測定)

以上では、ジョセフソン DAC を用いて校正を行う対象 (二次標準器) として、サーマル・コンバータ(TC)や交流電圧測定用 DVM などの、測定器を念頭においた解析を行った。一方、二次標準器として標準交流電圧源や高精度 DA 変換器等の電圧発生器を校正する場合には、交流検出器を用いて比較測定を行う必要がある。この場合の、単純化し

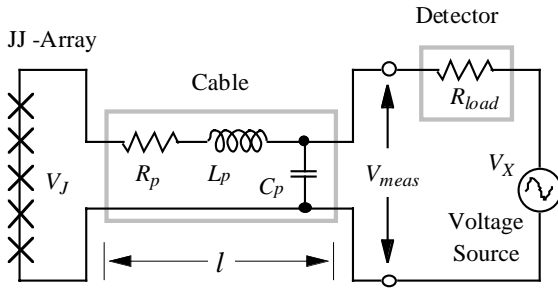


Fig. 11 信号伝送線路のモデル化(比較測定)

た等価回路を、Fig.11 に示す。

二次標準器で発生する交流電圧 V_X は、ジョセフソン DAC で発生する交流電圧 V_J と振幅および位相がほぼ等しくなるように調整される。簡単のために、二次標準器の出力インピーダンスは無視とみなす。この場合、前節と同様の方法により、 V_{meas} と V_J の差は、下式のように導出される。

$$\frac{|V_{meas}| - |V_J|}{|V_J|} \cong -\frac{R_p \Delta V_x'' \omega L_p \Delta V_x^\perp}{R_{load} |V_J|} - \omega L_p C_p - \frac{1}{2} \omega^2 C_p^2 R_p^2 \quad (14)$$

ここで、 $\Delta V_x''$ および ΔV_x^\perp は、それぞれ V_X の V_J に対するずれの同相成分および90度成分を示す。(13)式と比較すると、負荷抵抗 R_{load} が有限なために生じる誤差が大きく軽減されていることが分かる。交流用検出器の入力抵抗 R_{load} は 1 kΩ - 1 MΩ 程度であり、また 10 kHz 以下の周波数領域においては ωL_p は R_p より一桁以上小さい。したがって、 V_X の振幅および位相を V_J に対して 0.01% 程度に調整することによって、誤差は補正無しで 0.01 ppm 以下に抑えられる。一方、ケーブルの寄生インピーダンスによって生じる第2項および第3項の誤差は、直接測定の場合と全く同じであり、十分な配慮が必要である。

5.3 ケーブルに起因する他の誤差要因

室温におかれた測定器とヘリウムデューワー内のジョセフソン素子を結ぶ信号ケーブルの両端には、約 300 K の温度差が存在する。このため、ケーブルにおける熱電気効果の影響について十分な配慮が必要となる。まず、ケーブルの2本の導体の形状が非対称な場合や材質が不均一な場合には、温度差に起因するセーベック効果(熱起電力)が生じ、交流波形に対してオフセット電圧を与える。振幅 V_0 の交流波形に対して V_{EMF} のオフセット電圧が生じると、パワーは相対的に $2(V_{EMF}/V_0)^2$ だけ増加する。低熱起電力型のケーブルを用いれば、熱起電力を比較的容易に $10 \mu V$ 以下に抑えることができる。この場合、100 mV 以上の振幅の交流電圧が得られれば、実効値測定への影響は 10^{-8} 以下

となる。一方、サーマル・コンバータ(TC)の様に、10 mA 程度の比較的大きな電流負荷を要する場合には、ケーブルを流れる電流によって、Thomson 効果及び Peltier 効果が発生する。その結果として生じる熱起電力は、交流波形の反転に伴ってその極性を反転させるため、実効値測定に直接的な(1次)の影響を及ぼす。ケーブルの導体の熱伝導が大きいと、Thomson 効果及び Peltier 効果に伴う導体温度の変化は小さいと考えられるが、定量的に評価することは容易ではない。一方、Thomson 効果及び Peltier 効果によって発生するパワーは、ケーブルを流れる電流値に比例する。したがって、前節で述べたような比較法を用いることにより、Thomson 効果及び Peltier 効果の影響を大幅に軽減することが可能である。この場合、検出器自体をヘリウムデューワー内のジョセフソン DAC に近接した位置に設置することができれば、さらにケーブルの抵抗やインダクタンス、容量などの影響も軽減することが可能になる。

その他に、ケーブルに関連する誤差要因として、相互インダクタンスによる入力信号の出力信号への干渉や共通モード・ノイズの発生が起こり得る。これらの影響を防ぐためには、適切なシールドおよびアース配置が必須である。

§ 6 熱雑音の影響

ジョセフソン DAC の出力あるいはバイアス回路に接続された測定器の発生する熱雑音のパワーは、場合によってはジョセフソン DAC が吸収できる最大パワーと同程度になることもあり得る。C. Hamilton は、抵抗シャント型の DAC が安定に動作しない原因として、室温からの熱雑音によって電流ステップが消失してしまう可能性を指摘している⁵⁾。本章においては、室温測定系からジョセフソン素子に流入する 300 K の熱雑音の影響についての具体的な評価を試みる。

6.1 回路のモデル化

4.2 K におかれた JJ 素子アレーに電圧 V_{step} 、幅 I_{step} のシャピロ・ステップが生じている場合を考える。Fig.12 に示すように、JJ 素子アレーの出力には、300 K におかれた被測定電圧源 V_{meas} および検出回路が接続されている。また、測定信号、あるいは制御信号を通過させるために必要な、バンド幅 B を有するフィルタが設けられている。簡単のため、被測定電圧源の発生する雑音については無視して、検出回路の入力抵抗 R_{load} によって発生する熱雑音についてその影響を見積もる。

抵抗 R_{load} が発生する雑音電圧、雑音電流の実効値は、それぞれ

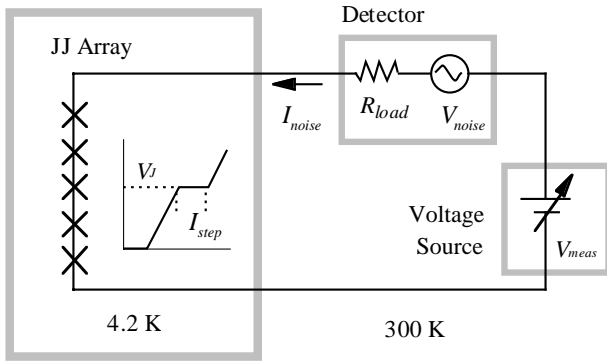


Fig.12 室温回路系からの熱雑音の影響を評価するためのモデル

$$V_{noise} = \sqrt{4kTBR_{load}}$$

$$I_{noise} = \sqrt{\frac{4kTB}{R_{load}}} \quad (15)$$

である。ここで、 k はボルツマン定数($1.38 \times 10^{-23} \text{ J/K}$)、 T は室温の絶対温度(300 K)を表す。

電圧測定回路のダイナミックレンジ(SN比)は、信号出力電圧 V_J と雑音電圧 V_{noise} の比から、

$$\frac{V_{step}}{V_{noise}} = \frac{V_{step}}{\sqrt{4kTBR_{load}}} \quad (16)$$

と求められる。電圧測定において十分に大きなSN比を得るための条件として下式が得られる。

$$V_{step} \gg \sqrt{4kTBR_{load}} \quad (17)$$

一方、4.2KにおかれたJJ素子アレーに対して300Kにおかれた測定回路から入力される雑音電流は、JJ素子アレーが低電圧ステップ上にバイアスされている限り、JJ素子アレーの出力電圧には影響しない。ただし、雑音電流のピーク値が定電圧ステップの幅 I_J を上回ったばあい、ステップが消滅してしまう。このような現象が生じないための雑音余裕度は以下のように求められる。

$$\frac{I_{step}}{I_{noise}(peak)} = \frac{I_{step}/(2\sqrt{2})}{\sqrt{4kTB/R_{load}}} \quad (18)$$

従って、雑音余裕度が十分に大きいための条件は、

$$I_{step} \gg \sqrt{4kTB/R_{load}} \quad (19)$$

と与えられる。

(17)式と(19)式の積をとると、

$$V_{step} \cdot I_{step} \gg 4kTB \quad (20)$$

が得られる。この式は、室温測定系の発生する熱雑音のパワー($4kTB$)に対して、ジョセフソンDACが吸収できる最大パワー($V_{step} \cdot I_{step}$)が十分に大きくなければならないことを表している。ただし、(20)式は必要条件であり、十分条件ではない。ジョセフソンDACが安定かつ高精度に動作するためには、(17)式および(19)式を同時に満たすことが必要十分条件である。

6.2 熱雑音のSN比への影響

交流電圧測定を、 10^{-7} レベルの不確かさで行うためには、ジョセフソンDACの出力電圧に対する熱雑音電圧の比(SN比)が、少なくとも 10^7 (140 dB)より大きくなければならない。本節では(16)式の各パラメータに具体的な数値を代入して、必要なSN比を得るための条件を求める。交流電圧測定において、波形の繰り返し測定を10秒間行ない雑音電圧を積分する場合を想定し、雑音電圧の有効バンド幅として0.1 Hzを用いた。この場合に得られる電圧測定のSN比とジョセフソンDACの出力電圧および負荷抵抗 R_{load} の関係を Fig.13 に示す。

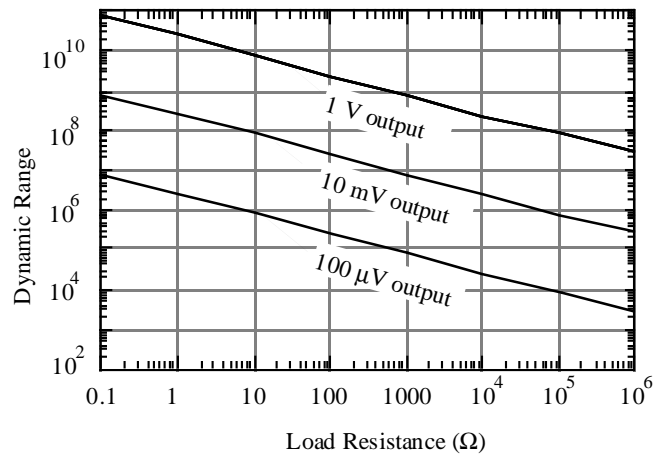


Fig.13 電圧測定のSN比と負荷抵抗 R_{load} の関係

図に示されるように、室温の測定系を用いて10秒間の測定で 10^7 程度のSN比を実現しようとした場合、検出器の入力抵抗あるいは等価ノイズ抵抗を1 kΩと仮定すると、ジョセフソンDACの出力電圧として、最低でも10 mV程度必要である。逆に、1 V程度の出力電圧が得られる場合には、1 MΩ程度の大きな入力抵抗を有する検出器を用いても、 10^7 以上のSN比を得ることが可能である。したがって、1 V程度の出力電圧が得られ、かつ10 mA程度の出力電流が得られるSNS接合のバイナリー型DACが、SN比の観点からは最も有利と思われる。パルス駆動型DACは、100 mV以上の電圧を得ることは現状では難しいが、SNS接合を用いるために低入力抵抗の電圧検出器を用いることが可能であるため、 10^7 程度のSN比を実現し得る。一方、

SIS 接合を用いる RSFQ 型 DA の場合には、電流コンプライエンスが $100\mu\text{A}$ 程度しか得られないため、零位法(比較測定)が必須となる。

6.3 熱雑音に対する雑音余裕度

熱雑音電流のピーク値が定電圧ステップの幅を越えないための条件は(18)式で与えられた。本節では、(18)式の各パラメータに具体的な数値を代入して、各方式のジョセフソン DAC における熱雑音に対する雑音余裕度を見積もる。4.1 節の議論に従って、フィルタのバンド幅は、1 MHz と仮定した。電圧ステップの幅 I_{step} は主として素子の構造に依存するため、抵抗シャント型 SIS 接合の場合は約 $100\mu\text{A}$ 、SNS 接合の場合は約 10mA と見積もった。これらの場合に得られる雑音余裕度と負荷抵抗 R_{load} の関係を Fig.14 に示す。

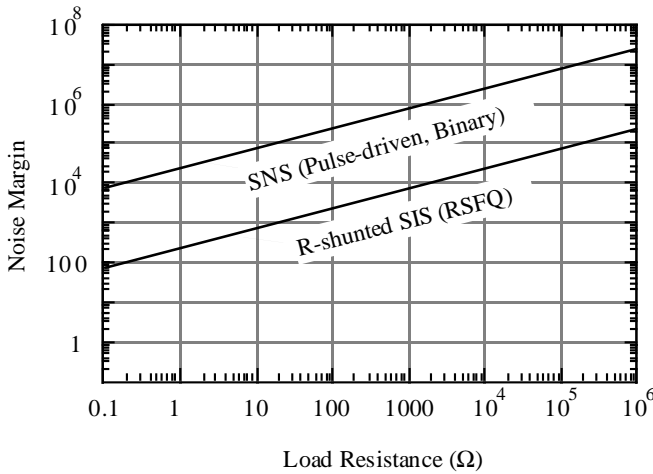


Fig.14 雑音余裕度と負荷抵抗 R_{load} の関係

バイナリー型 DAC やパルス駆動型 DAC の場合には、SNS 接合を用いるために、 $1\text{ k}\Omega$ 付近で 10^6 程度の雑音余裕度が得られる。一方、抵抗シャント型 SIS 接合を用いる RSFQ 型 DAC の場合、ステップ幅が比較的小さいため、雑音余裕度は他の方式と比較して二桁程度減少する。抵抗シャント型 SIS 接合を用いた場合、出力電流を増加させるための方策として、電流バックアップ回路⁴⁾を用いる方法が提案されている。しかし、この回路の出力抵抗が 1Ω 程度と小さくなるため、雑音余裕度が 10^2 程度に減少してしまう。半導体の定電圧回路がこの抵抗に直列に接続されているため、雑音余裕度はさらに減少する可能性が高い。

§ 7 まとめ

本論分においては、ジョセフソン DAC を用いて正弦波などの実効値測定を行う際に、測定精度に影響を及ぼす可

能性のある主要な誤差要因(トランジェント、高周波数成分、伝送線路、熱雑音)について定量的な解析を行った。結果を以下に項目別にまとめる。

[トランジェント]

バイナリー型 DAC の場合、アナログ出力の遷移がバイアス電流のスイッチングによって制御されているため、グリッチおよびタイミングの不確かさの影響が大きく、 10^{-7} レベルの精度を有するような精密なサイン波の発生は極めて困難と思われる。一方、パルス駆動型 DAC および RSFQ 型 DAC の場合、アナログ出力レベルは量子化されたパルスを用いて、パルス密度変調方式で制御されるため、入力信号のトランジェントは重要な誤差要因とはならない。

[高周波数成分]

量子化・標準化に伴う雑音電力は、基本波周波数およびサンプリング周波数をそれぞれを 1 kHz 、 10 MHz に設定し、量子化ビット数を 10 以上にとれば、高周波成分の影響は 10^{-7} 以下に抑えることが可能である。また、RSFQ 型 DAC の場合に問題となる、不連続な SFQ パルス列に伴う雑音電力は、カット・オフ周波数を 1 MHz に設定すれば、 10^{-8} 以下に減衰させることができる。一方、このようなフィルタの設定における基本波周波数のパワーの減衰は 10^{-12} 程度と見積もられる。

[伝送線路]

サーマル・コンバータ(TC)を検出器として用いた場合、入力抵抗($\approx 1\text{ k}\Omega$)が小さいため、ケーブルの抵抗($\approx 0.1\Omega/\text{m}$)によって、 1 m 当たり 0.01% 程度の電圧降下が生じてしまうため、補正が必要となる。比較測定(零位法)を用いれば、ケーブル抵抗の影響は 0.01 ppm 以下に抑えることが可能である。一方、ケーブルの寄生インピーダンスによる影響は、 1 kHz において 10^{-9} のオーダーであり、無視できるほど小さい。しかし、ケーブルの寄生インピーダンスによる影響は周波数の二乗に比例するため、 10 kHz 以上では TC の精度を上回することは困難となる。

[熱雑音]

高い出力電圧と大きな出力コンプライエンスが得られる SNS 接合のバイナリー型 DAC が、熱雑音の影響に対しては最も有利と思われる。同様に SNS 接合を用いるパルス駆動型 DAC は、 100 mV 以上の電圧を得ることは現状では難しいが、低入力抵抗の電圧検出器を用いることによって 10^7 程度の SN 比を実現し得る。一方、SIS 接合を用いる RSFQ 型 DA の場合には、電流コンプライエンスが $100\mu\text{A}$ 程度しか得られないため、零位法(比較測定)が必須となる。

以上をまとめて各方式の得失を比較する。まず、実用化に最も近いバイナリー型 DAC は、 1 V 程度の出力電圧が得られ、かつ 10 mA 程度の出力電流が得られることから、

測定における制約が少なく,任意直流電圧の発生においては最も有利と思われる。一方,外部半導体回路を用いてバイアス電流のスイッチングを行うために,トランジエントの影響を逃れることができず,交流電圧の発生に有効な方式ではない。

パルス駆動型 DAC は,外部パルス発生器の上限周波数の向上やジョセフソン素子数の増加によって,今後 100 mV 程度の電圧を発生させることが目標となる。ただし,パルス量子化器としての特質上,入出力間の干渉の影響については今後十分な解析が必要と思われる。また,高価なマイクロ波パルス発生器が,この方式の実用化において障害になる恐れがある。

RSFQ型DACは電流コンプライエンスが小さいため,測定には零位法が必須であり,外部雑音に対する配慮も重要となる。また,他の方式と比較して4倍以上の回路規模が必要であり,数年以内に 100 mV 以上の電圧を実現することは困難と思われる。しかし,交流波形発生において障害となる誤差要因が,バイナリー型 DAC やパルス駆動型 DAC と比較して少ないため,将来的には最も有望と考えられる。ただし,電流コンプライエンスの向上等,実用化までに克服すべき技術的課題も大きい。

参 考 文 献

- 1) B. N. Taylor and T. J. Witt, "New international electrical reference standards based on the Josephson and quantum Hall effect," *Metrologia*, vol. 26, pp. 47-62, 1989.
- 2) C. A. Hamilton, F. F. Lloyd, K. Chieh, and W. Goeke "A 10-V Josephson voltage standard," *IEEE Trans. Instrum. Meas.*, Vol. 38, pp. 314-316, 1989.
- 3) Y. Murayama, Y. Sakamoto, A. Iwasa, M. Nakanishi, H. Yoshida, U. Klein, and T. Endo "Ten-volt Josephson Junction array," *IEEE Trans. Instrum. Meas.*, vol. IM-44 pp. 219-222, 1995.
- 4) C. A. Hamilton, C. J. Burroughs, and R. L. Kautz, "Josephson D/A converter with fundamental accuracy," *IEEE Trans. Instrum. Meas.*, vol. IM-44, pp. 223-225, 1995.
- 5) C. A. Hamilton, S. P. Benz, C. J. Burroughs, and T. J. Harvey, "SNS programmable voltage standard," *IEEE Trans. Appl. Superconductivity*, (to be published).
- 6) S. P. Benz and C. A. Hamilton, "Pulse-driven programmable Josephson voltage standard," *Appl. Phys. Lett.*, vol. 68, pp. 3171-3173, 1996.
- 7) S. P. Benz, C. A. Hamilton, C. J. Burroughs, and T. J.

Harvey, "Pulse-driven Josephson Digital/Analog converter," *IEEE Trans. Appl. Superconductivity*, (to be published).

- 8) C. A. Hamilton, "Josephson Voltage Standard based on Single-Flux-Quantum voltage multipliers," *IEEE Trans. Instrum. Meas.*, vol. 2, pp. 139-142, 1992.
- 9) V. K. Semenov, "Digital to analog conversion based on processing of the SFQ pulses," *IEEE Trans. Appl. Superconductivity*, vol. 3, pp. 2637-2640, 1993.
- 10) V. K. Semenov, "Digital to analog conversion based on processing of the SFQ pulses," *IEEE Trans. Appl. Superconductivity*, vol. 3, pp. 2637-2640, 1993.
- 11) B. D. Inglis, "Standards for ac-dc transfer," *Metrologia*, vol. 29, pp. 191-199, 1992.
- 12) M. Klonz, "Current Developments in accurate ac-dc transfer measurements," *IEEE Trans. Instrum. Meas.*, Vol. 44, No. 2, pp. 363-366, 1995.

(1998. 3. 19 受付)

著 者 紹 介



佐々木 仁

Hitoshi SASAKI

電子デバイス部 超高速集積回路ラボ

E-mail: hsasaki@etl.go.jp

電気量の精密計測, 単一磁束量子の運動を利用した超伝導 DA 変換器の研究に従事。



桐生 昭吾

Shogo KIRYU

基礎計測部 サブTHz 超音波スペクトロスコーピャラボ

E-mail: kiryu@etl.go.jp

超音波計測, 超伝導磁束量子素子, 超伝導発信器の研究に従事。



東海林 彰

Akira SHOJI

電子デバイス部 超高速集積回路ラボ

E-mail: shoji@etl.go.jp

超高速論理演算, 物理量の精密計測, サブミリ波発振等を目的とした超伝導デバイスの研究に従事。