

[研究]

ハードエレクトロニクスの展開 Prospect of Hard Electronics

材料科学部長 荒井和雄
K.ARAI

R&D on ultra-low-loss power device technologies has started in the fiscal year 1998 under New Sunshine Project as a front runner of "Hard Electronics". The aim of the R&D is to establish fundamental technologies of SiC power devices for first 5 years and to develop power device technologies for special purposes for next 5 years. Outline of the R&D is presented.

§1 はじめに

現代のエレクトロニクス文明が、シリコン半導体に支えられていることは言うまでもない。シリコンテクノロジーは、デバイス構造を工夫することによって、無限に進化し続けて行くように見える。しかしながら、シリコン半導体

にもその物性値からくる性能限界はある。シリコンカーバイド (SiC) や GaN, それにダイヤモンドなどのワイドバンドギャップ半導体では、絶縁破壊電界や飽和移動度がシリコンに較べ大きく、優れている (表1)。そのためにシリコン素子ではできない高パワーで低損失, 超高周波の厳しい (ハード) 仕様を満たし, 高温などの厳しい (ハード) 環境で動作ができる素子の実現でき, 電力, 通信, 耐環境

表1 種々の半導体の物性定数 (室温) と性能指数 (性能指数はSiを1として示した)
(吉田貞史: 電子情報通信学会誌 79, (1996) 1219)

半 導 体	Si	GaAs	SiC 3C	GaN 6H	ダイヤモンド	
バンドギャップ E_g (eV) (遷移型)	1.1135 (間接)	1.428 (直接)	2.2 (間接)	2.86 (間接)	3.39 (直接)	5.47 (間接)
熱伝導度 κ (W/cmK)	1.51	0.54	4.9	4.9	1.3	20.9
移動度 μ 電子 ($\text{cm}^2/\text{V s}$)	1500	8500	800	460	900	1800
	450	420	70	10	400	1600
誘電率 ϵ_s	11.9	12.91	9.72	9.66 ^a , 10.03 ^c	95 ^a , 10.4 ^c	5.93
	11.6	11.10	6.52	6.52 ^a , 6.70 ^c	5.35 ^a , 5.35 ^c	5.76
飽和ドリフト速度 v_s (cm/s)	1×10^7	2×10^7	2.7×10^7	2.0×10^7	2.7×10^7	2.5×10^7
絶縁破壊電界 E_B (V/cm)	3×10^5	4×10^5	3×10^6	3×10^6	2.0×10^6	4×10^6
性能指数 M_J	1	7.1	730	700	320	1100
M_K	1	0.48	5.9	5.1	1.6	31
$1/R_{on}$	1	13	3.4	4.3	14	72
f_{MAX}	1	8.6	7.5	4.9	7	36

ジョンソン指数: $M_J \sim (v_s \cdot E_B)^2$, キー指数: $M_K \sim \kappa (v_s / \epsilon_s)^{1/2}$

1/オン抵抗: $1/R_{on} \sim \epsilon_s \mu E_g^3$, 最大動作周波数: $f_{MAX} \sim \mu E_B E_g^{1/2}$

分野でのエレクトロニクスの革新が期待できる(図1)。ワイドバンドギャップ半導体材料は化学結合が強く、材質が硬い(ハード)こともあり、ワイドバンドギャップ半導体の拓く新しいエレクトロニクスの世界を、期待をこめてハードエレクトロニクスと名付けた。

材料科学部においては、80年代に、SiCの多形の一種である3C-SiCのシリコン上へのCVDヘテロエピタキシーの研究をすすめ、MOSFETの試作まで行っている。現在も、減圧CVD法による膜質の向上を図り、3C-SiCによる高性能デバイスの可能性を追求している。GaN系材料については、MBE法による多形制御の研究からヘテロ構造をもつ高周波デバイスへの展開を目指している。ダイヤモンドについては、ここ数年、半導体研究開発の立場から、これまで余り考慮されてこなかった不純物除去を徹底した制御されたホモエピタキシャルCVD法を開発してきて、最近、結晶薄膜の原子レベルでの平坦化に成功し、ダイヤモンドの優れた物性値をショットキーダイオードで実証した。

産業界では、SiCのデバイス研究開発は、青色発光素子として進められていたが、最近のGaN系青色発光素子の開発によりこの方面の出口はなくなった。耐熱素子やパワー素子としての展開は、90年代になって直径35mm程度のある程度の品質の基板が米国Cree社により商用化されてから急激に立ち上がって来た。SiCでは、絶縁破壊電界が大きく、ソースとドレイン間を短くかつ高濃度のドーピングが

できるので、素子が導通状態にあるときのオン抵抗を1/100に低減することができる(図2)。周辺回路も含めた電力変換器としての電力損失は1/4~1/3に低減されものと見積られている。

一方、電気エネルギーの重要性はますます増大している、21世紀中葉には、日本でも、全エネルギーに占める電気エネルギーの比率は40パーセントから55パーセント程度増加し、必要な電源・設備容量は現在の2倍、2.5億kW程度に、年間電力量は1.5兆kWhに達すると予想されている。電力の有効利用は時代の要請であり、各種電力利用システム及び電力供給システムに伴う変換損失低減が求められる。そこにおけるキー技術は、パワーエレクトロニクスであり、その中核となるものは、高性能なパワー半導体素子である。SiC素子化の研究開発は世界的に見ると、スエーデン(ABB)、ドイツ(シーメンスとエルランゲン大)、アメリカ(クリー：基板供給元、ノーススロップグラマン)などのグループが精力的に進めている。なかでもスエーデンの世界的電力機器メーカーのABBグループは2010年にはSiC素子時代にすると呼びかけて大規模な研究開発を進めている。産業科学技術制度の先導研究「ハードエレクトロニクス」を1996-1997年度に行った。その間、ワイドバンドギャップ半導体のもつ超低損失電力素子としての原理的優位性の周知と、SiC研究開発状況の世界的進展というシーズサイドの動き、それに電力有効利用へのニーズも高まった。その結果、平成10年度からニューサンシャイン計画(NSS)のもとに、第一期5年計画で、SiCなどのワイドバンドギャップ半導体による低損失・高速パワー素子実現のための「超低損失電力素子技術」開発がスタートした。将来の実用技術につながる基盤技術開発を目標としている。

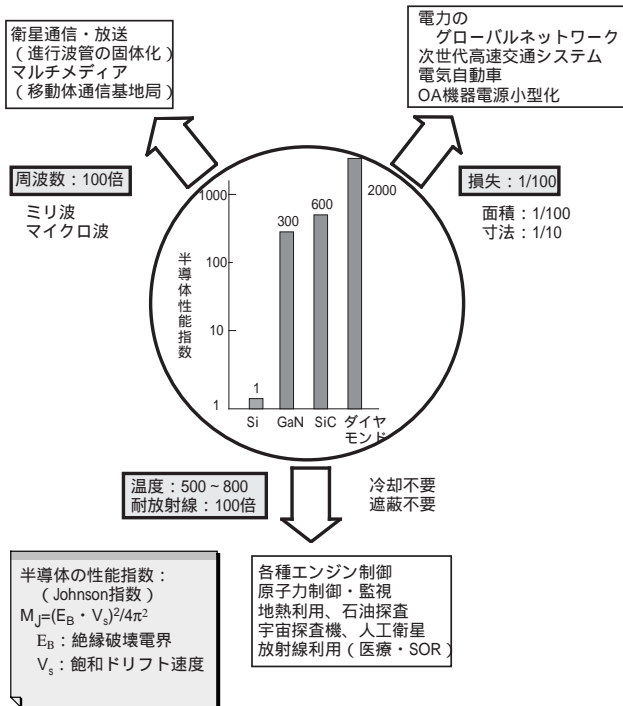


図1 ワイドバンドギャップ半導体の拓くエレクトロニクスの世界

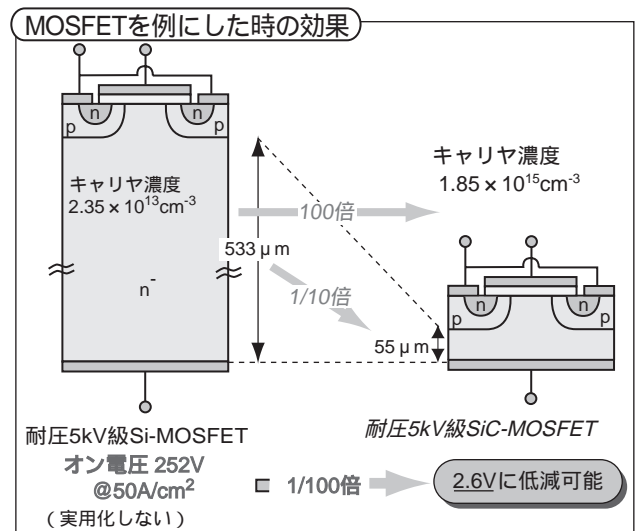


図2 SiC半導体によるオン抵抗低減の原理図

§ 2 「超低損失電力素子技術」開発の基本計画

ワイドバンドギャップ半導体は超低損失電力素子材料としての可能性を持つが、SiC では素子開発の基盤であるバルク結晶基板のある程度の大きさや品質のものが存在するのに対し、他の材料ではそのようなバルク基板が存在しない。また、SiC はpn 制御ができ、Si と同じようにSiO₂ を絶縁膜として使えるなど、色々解決すべき問題はあがるが、デバイス構成のための基本要件を満たしている。ダイヤモンドは物性値はSiCより優れているが、大型結晶基板の成長が極めて困難であったり、良質な絶縁膜やn型が開発されていないなどの素子化のためのより困難な課題を抱えている。従ってより近い将来の実用技術につながる基盤技術開発の観点から、SiC を次世代超低損失電力素子半導体材料のフロントランナーとして位置づけ、プロジェクトの中心に置いた。国研としては、ハードエレクトロニクス全体の重要性を考えて、GaN やダイヤモンドの開発にも力を注ぎ、技術動向をにらんで適時、適宜の開発を進めて行く。

本プロジェクトの第一期の主目標は、SiC を中心とした素子化基盤技術開発を行い、超低損失電力素子の実用化への見通しを得ることである。SiC でも電子素子としての素

子基本構造がシリコンと変わるわけでない。しかしながら、材料が変わることによって素子作製上、種々の困難な課題がある。SiC は昇華法という特異な手法で成長させるため、マイクロパイプという1ミクロン程度の貫通欠陥が生じやすく、大口径化も難しい。高パワー素子の実現には、バルク結晶上への高品質・高成長のエピ成長技術が欠かせない。伝導性制御のためのドーピングでは、拡散法ではだめで、高温注入(500-1000度C)・高温アニール(1600-1700度C)が必要である。MOS 界面の欠陥準位密度もSi に比べ1桁以上多く、チャネル移動度もバルクの物性から予想されるより遥かに低い。電極形成においても金属/SiC 界面制御が不十分である。デバイスシミュレーションを行うにも物理モデルを構築するに足る物性値が不足している。これらプロジェクトで開発すべき必要不可欠な要素技術の位置づけを図3に示す。こうした種々の要素が絡み合せて、素子特性のポイントである、オン抵抗値がSiC の物性値からは程遠く、最近になってデンソー、シーメンス、パナソニックなどからSi の限界を超えるオン抵抗を持つMOS素子の発表がはじめてきたばかりである。産学官の議論により、実用化技術への見通しを明らかにするためには、結晶基板成長・デバイスプロセス・基本デバイス作製の一貫研究による問題の解決が必要と結論された(図4)。

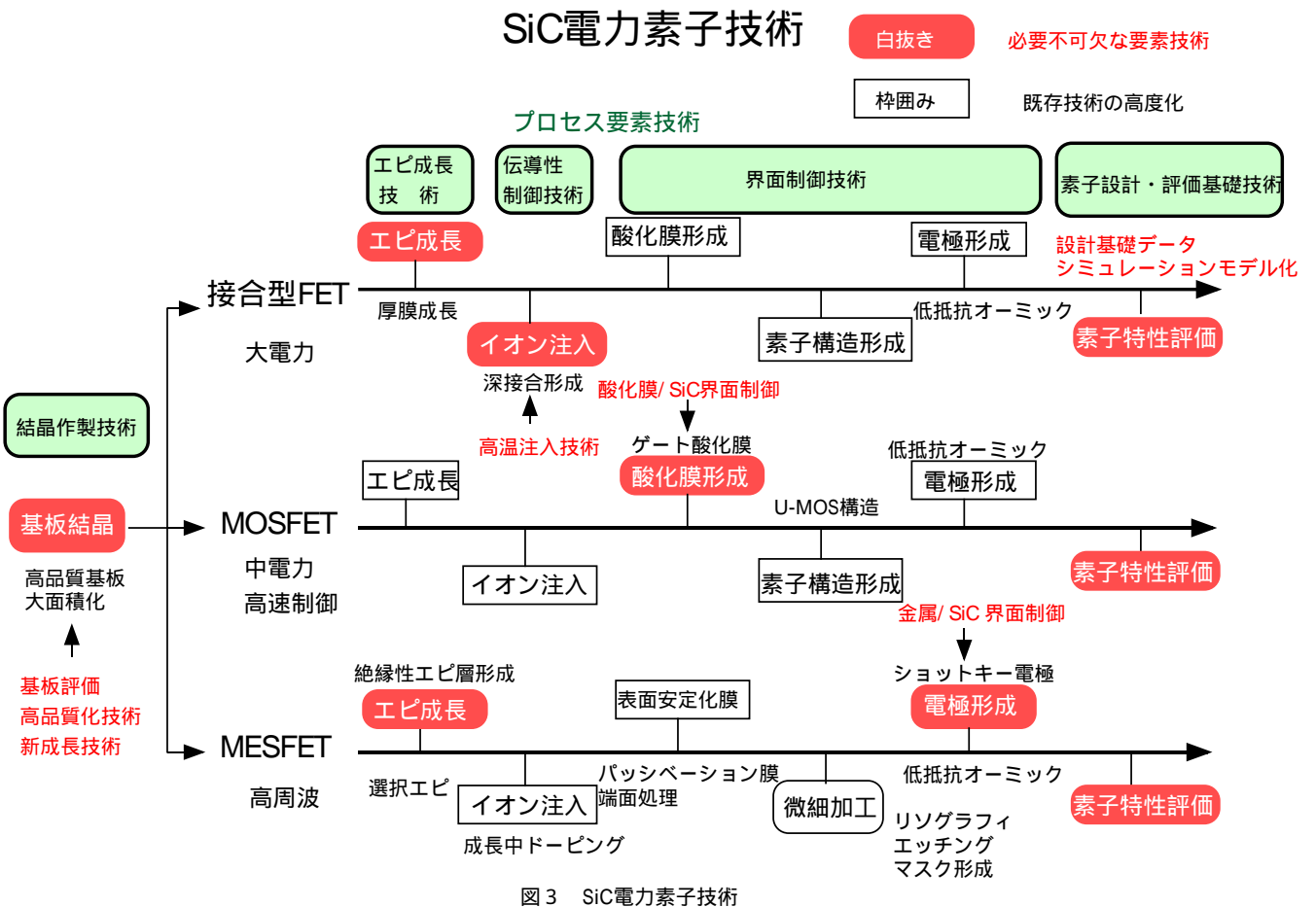


図3 SiC電力素子技術

基本計画では、必要不可欠な要素技術を開発する基盤技術開発と基本デバイスによりSiCなどの優位性を実証する素子化研究の並行開発を行うことを決めた。基盤技術開発では、バルク基板成長の本質の解明、各種プロセスにおける機構が解明され、いわば基板・プロセスの教科書の基礎が築かれることが期待される。このステップをきることによって、再現性、信頼性も含めた「実用化への見通し」を得ることができる。素子化研究では、主として現在のSi既存技術を援用して、3種の基本デバイスを作製し、SiC等の優位性を実証する。世界的にみて激しくなっている素子の開発競争に対処する意義もある。基本デバイスとして、3種のユニポーラ素子を取り上げたのは、現在p型SiC結晶には不純物の活性化が低く移動度が小さいなどの問題があり、電子および正孔の両者が関与するバイポーラデバイス（pnp接合及びnpn接合）より単一キャリアで動作するユニポーラデバイスの方が早期実現が高いからである。良質なp層の開発は基盤研究開発の一つの課題として取り上げ、その成果を基礎に第1期以降のバイポーラ素子の開発に備える。当面、接合FETとMOSFETではオン抵抗値が同構造・同耐圧のSi素子のほぼ1/10を目安として、MOSFETでは電力密度値が同サイズのSiあるいはGaAs素子のほぼ10倍

を目安として優位性を実証することにしている。

プロジェクトを前期3年、後期2年に意識的にわけて運営する。基盤技術と素子化技術の連係は重要である。理想的に行けば、前期では、素子化技術からは基盤技術開発に対して、プロセスにおける技術課題（経済性に関係することを含む）がなげかけられ、後期においては、基盤研究において開発されたブレイクスルー要素技術が素子化技術で活かされることになる。SiCダイオードでは、SiCの物性値をほぼ反映した特性が得られている。こうした素子構造・プロセスが簡単なダイオード素子やサイズが小型な高周波高出力素子などは基板技術や周辺技術の進展によって実用化が早まることも期待される。適度な実用化促進も肝要である。基本計画の概念を図5に示す。

§3 研究開発体制

プロジェクトの研究開発体制を図6に示す。プロジェクトはNEDOへ委託され、超低損失電力素子技術研究開発の実行は新機能素子協会（素子協）に再委託されている。並行して、エンジニアリング振興協会に再委託して、「次世代パワーデバイス実用化調査委員会」を設け、研究開発成果を含めた超低損失電力素子実用化のためのシステム上の課題と環境への貢献度を明らかにする。これにより、研究成果の一層の早期実用化が促進される。委員長は当所エネルギー部長である。

前述のように、基盤研究開発における基板結晶技術・プロセス技術・基本デバイスの特性の研究開発は互いにリンクしており、それらのブレイクスルー技術の開発には異業種、多様な専門家を取り込む必要があり、集中研方式が不可欠である。素子協が先進パワーデバイス研究室を電総研内に設置し、電総研のハードエレクトロニクスラボと共同研究を行うことによって産学官からなる研究体制をしいている。集中研にはデンソー、昭和電工、日立、三洋、東芝、日産自動車、沖電気、関西電力から10数名の研究者が参加している。必要に応じて分室も認めている。大学からは、招へい研究者として参加していただいている。

素子化研究は、急速に進展している世界のSiC素子開発の流れに対し、シリコンテクノロジーの援用で基本デバイスの作製にトライして、限界を追求していくことが重要であるので、分散研として行う。企業のポテンシャルと企業戦略としての位置づけの重要性に応じて、個別課題の目標に挑戦している。日立がJFET、三菱電機がMOSFET、新日本無線がMESFETを担当している。

本プロジェクトの研究開発分野の研究者人口はいまだ少なく、かつ材料から物性、デバイスと多方面の研究課題を

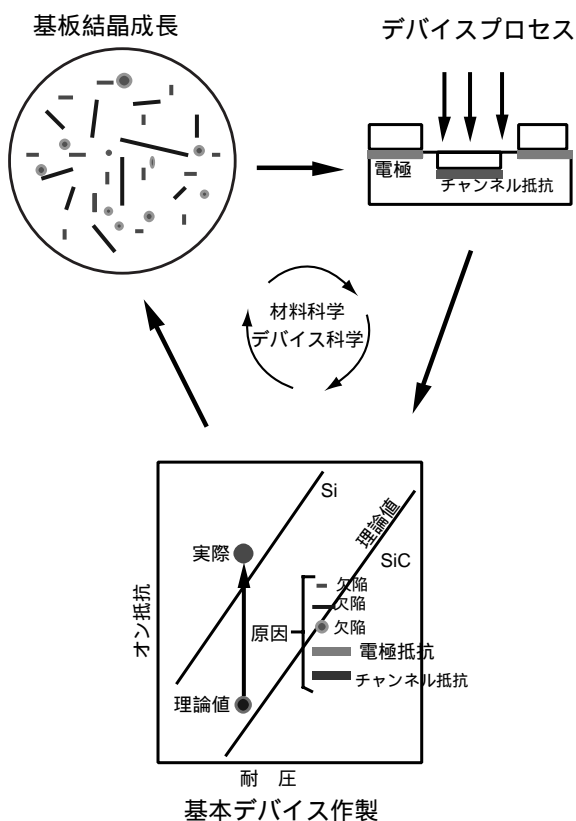


図4 結晶基板ーデバイスプロセスー基本デバイスー貫研究の必要性

超低損失電力素子技術研究開発の基本計画

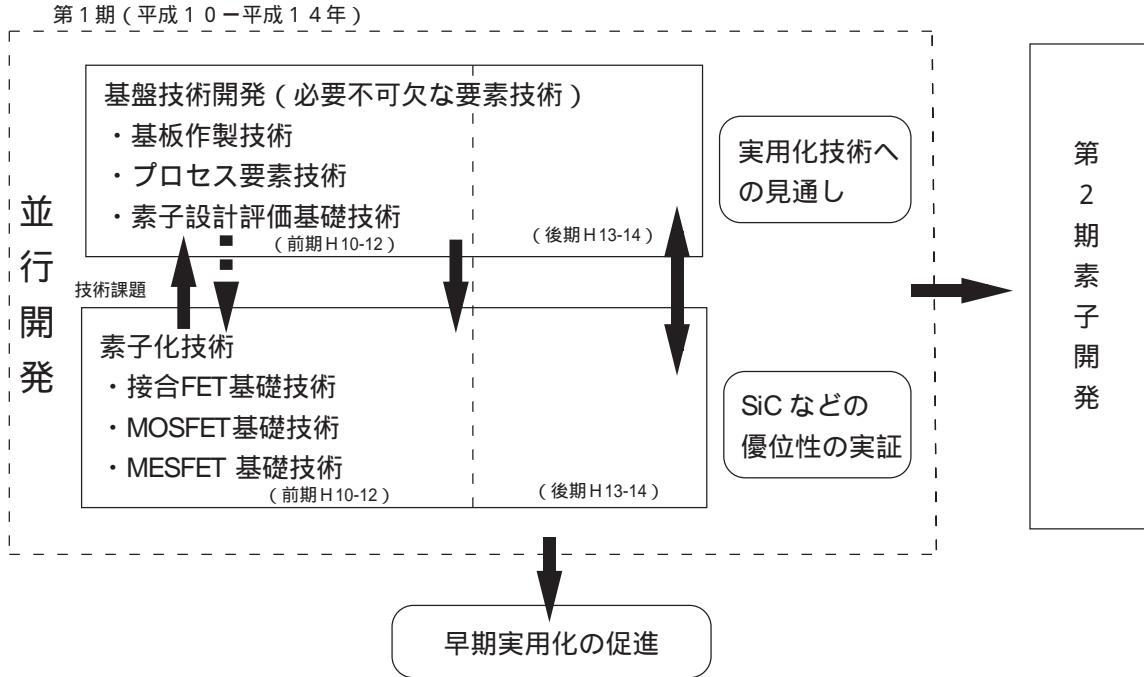
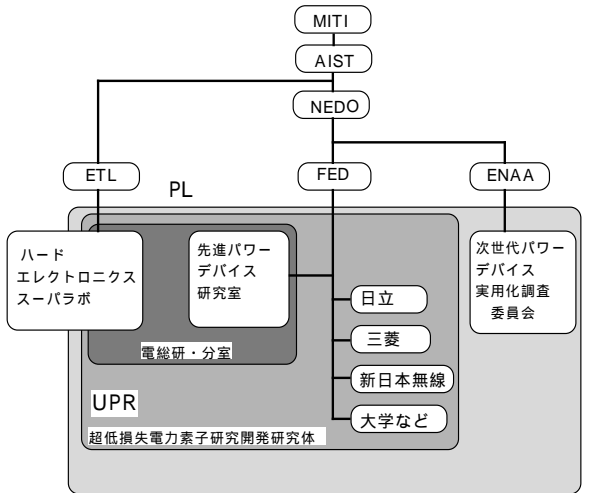


図5 基本計画の概念図

「超低損失電力素子技術研究開発」体制
The structure of R&D of Ultra-Low-Loss Power Device Technologies



- MITI: Ministry of International Trade and Industry
- AIIST: Agency of Industrial Science and Technology
- NEDO: New Energy and Industrial Technology Development Organization
- ETL: Electrotechnical Laboratory
- FED: R&D Association of Future Electron Devices
- ENAA: Engineering Advancement Association of Japan
- UPR: Ultra-Low-Loss Power Device Research Body
- PL: プロジェクト リーダ

図6 研究開発体制図

抱えている。積極的に大学との協力関係をすすめ、必要に応じて大学に再委託をしてプロジェクトの効率的推進を図っている。

国研への予算においては、基盤研究開発を補完する、結晶成長、プロセスの機構解明・制御の新技術に重点を置いた研究を行うとともに、SiC 以外の超低損失電力素子材料として有望なワイドバンドギャップ新材料 (GaN やダイヤモンドなど) の研究を進めている。研究開発には多彩な人材が必要で、ハードエレクトロニクスラボには、5部 (材料科学部、電子基礎部、電子デバイス部、極限技術部、量子放射部) から10 数人と10 人近いポスドクの参加を得ている。

プロジェクトの運用にあたっては、プロジェクトリーダーを置き、以上すべての研究課題を統括し、有機的・効率的に運用する、プロジェクトリーダー制を採用している (産学官の共同研究契約、運用規程、知的財産権規程などは適宜定めている)。特に、基盤研究開発と素子化研究開発における技術課題の共有と共同的解決を実行するために、超低損失電力素子技術研究開発研究体 (UPR) を形成し、UPR 技術検討会を月一回程度開催し、課題の抽出と解決に努力している。プロジェクトのフェーズとしては、比較的 material・process 研究が重要であるので、リーダーは材料科学部長が担当している。

§ 4 期待をこめて

本プロジェクト第 期により、SiC素子性能のSi素子に対する原理的優位性が実証されれば、ニーズに対する展望が開かれ、デバイス企業のみならず、新たな結晶メーカーも含んだ企業やパッケージング、電子部品の周辺技術の開発の参入が期待できる。恐らく差別化された特徴ある応用分野における部分的な実用化を突破口として、実用化が加速されるのではないだろうか。第 期においては、第 期において得られたバルク結晶・素子プロセスにおける基盤技術を踏まえて、各種用途に向けた素子開発が進められるとともに、量産性やコストをにらんだ大量生産技術へ向けての共通基盤技術のブラッシュアップが図られ、産業としての基盤が築かれる。第 期では、高信頼、大容量、高耐圧の素子作製技術の開発に取り組み、システムの革新が目指される。欧米においては、次世代のパワーエレクトロニクスセンターが発足したと聞く。第 期以降においては、第 期とは異なる研究開発のフェーズにあったプロジェクトの体制を考えていく必要もあろう。

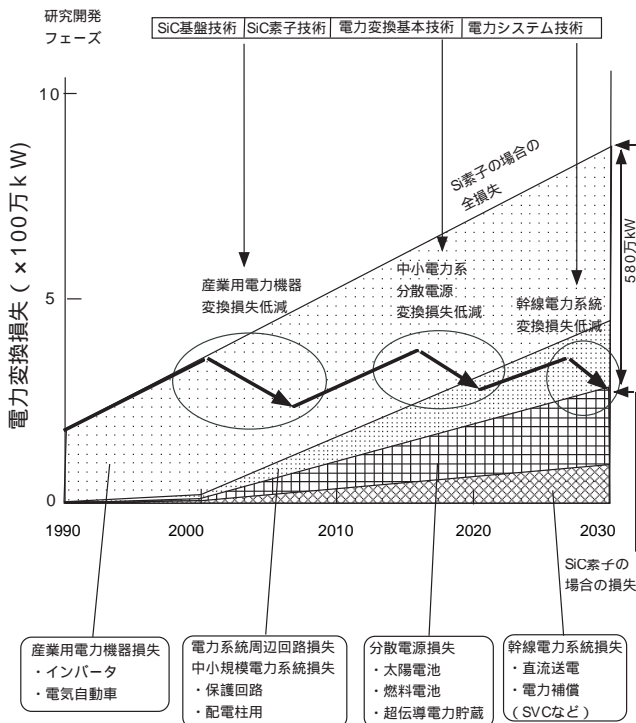
図7に電力素子がシリコン素子からSiC素子に置き換わっていけば、どれだけ電力変換損失が低減されるかを示した。新しい素子の導入は、まず産業・民生用の機器から、ついでコストの低下と信頼性の確認を得るに従い、中小容量の分散電源や配電系統、さらに大容量の基幹系統の電力システムへと進むものと考えられ、2030年には580万kWの低減が期待できると予想されている。

電総研ではエネルギー部を中心として新しいエネルギーネットワークのあり方の研究が開始されている。「超低損失電力素子」はそこでの重要なコンポーネントと位置づけられる。SiCを中心としたワイドバンドギャップ半導体素子は、Si素子の単なる置き換えではなく、これまでにない超低損失・高温動作・高周波といった性能をあわせもつ故に、まったく新しいシステムを実現させる可能性をもつ。そうした可能性を追求することこそ、ハードエレクトロニクスの目標とすべきであろう。電総研における伝統ある強電の研究が、新しい素子技術とネットワークの考えで価値あるコンセプトを生み出して行く研究へと新展開することを期待している。

ハードエレクトロニクスは、SiCをフロントランナーとして、電総研にとって、最初の所内産学官集中研方式としてスタートした。プロジェクトリーダ制の下での運営についても走りながら学んでいるところである。NSSおよびNEDOの御理解と応援を頂いている。所内にあっては、企画、研究環境調整係、庶務係など所内の多くの方々の方々の多大の御協力を頂いている。ここに深く感謝する。

(1999.3.5 受付)

超低損失電力素子開発の電力変換への波及効果



Si変換素子をSiC変換素子に置き換えることによって電力変換損失を1/3にすることができ、2030年には580万kWもの省エネルギー効果が得られる。

図7 超低損失電力素子開発の電力変換への波及効果
(石井格：工業技術 38, (1998) 18-21)