

実世界適応デバイスの研究開発状況

Research on Adaptive Devices for Real-world Applications

樋口 哲也 森 雅彦
T.HIGUCHI M.MORI

This paper reports the progress on the research and the developments of adaptive devices for real-world applications. Adaptive devices consist of electrically adaptive devices and optically adaptive devices. The former describes evolvable hardware for analog and digital circuits. The latter details the research at ETL.

§1 はじめに

本稿では NEC 松下技研と連携して進めている実世界適応デバイスの研究開発の現状について述べる。実世界適応デバイスの開発は、大別して電子的適応デバイスと光適応デバイスの二つに分けられる。前者の電子的デバイスはさらに二つに分かれ、一つは静的適応デバイスで NEC が中心で開発し、もう一つは動的適応デバイスで電総研進化システムラボが主となって開発している。光適応デバイスは電総研、東大、松下技研が連携して開発を進めている。

以下、本稿では電総研が研究開発を主に分担している動的適応デバイス、および光適応デバイスについてその概要を述べる。まず §2 では動的適応デバイス、以下ではこれを進化型ハードウェアとよぶことにするが、これの背景について述べる。§3 では進化型ハードウェアの原理を述べ、§4 では進化型ハードウェアの開発事例について述べる。§5 では動的適応デバイスの発展した形として、アナログ回路進化とメカニカル進化について述べる。§6 では光適応デバイスの電総研の研究開発概要を述べる。

§2 進化型ハードウェアの背景

前述のように、動的適応デバイスをここでは「進化型ハードウェア (Evolvable Hardware; 以下では EHW と略す)」と呼ぶこととする。

従来のハードウェアでは一度設計、製作してしまう

と機能の変更が難しいのに対し、EHW では自律的にハードウェア構成を変化させることで、常に状況に対して最適な性能を達成しようとする。

近年では FPGA (Field Programmable Gate Array) などのプログラマブル論理素子が、機能変更の可能性のあるプロトタイピングシステムに盛んに用いられているものの、そこでの機能変更はあくまでも人間の設計者の介入が前提である。FPGA 自身が自分で機能を変更していくわけではない。しかし、EHW ではハードウェアの機能があくまでも「自律的」に変化することが重要な特徴であり、耐故障性やタスク仕様の変化への適応など従来のハードウェアでは実現しにくい利点を追求している。

EHW は 1992 年に提案されて以来、研究人口も増加し、EHW を主体とした国際会議 (Intl. Conf. on Evolvable Systems: ICES) も来年つくばで 4 回目を迎える。また今年には NASA が 2 回目の進化ハードウェアワークショップを開催する。さらに CACM (昨年 4 月) と IEEE Trans. on Evolutionary Computation (昨年 9 月) 等の一流学術誌で、進化型ハードウェアの特集号が組まれるなど、世界的にも関心が高まっている。

EHW の分類について正式な定義はまだないが、ここではデジタル回路進化とアナログ回路進化の 2 つに分ける。さらにデジタル回路進化を進化計算型と Bio-inspired 型の二つに分類する。

進化計算型デジタル回路進化は、進化計算によりハードウェア機能を環境に応じて変更、適応させることを主眼としたもので、この流れに沿った研究事例が

現在最も多い。後者のBio-inspired型デジタル回路進化はハードウェア機能の進化よりもハードウェアの自己修復、自己複製を目標としたものである。

一方、アナログ回路進化の研究は、進化型計算によるアナログ回路設計の自動生成、アナログ進化LSIの二つの流れに分けられる。

§3 進化型ハードウェアの原理

EHWは、端的に言って、二つの要素、すなわちFPGAに代表されるプログラマブル論理素子と、人工知能の探索技法である進化型計算とを組み合わせたと見ることができる。進化型ハードウェアの基本アイデアを述べるためにまずこれら2つについて簡単に触れる。

3.1 プログラマブル論理素子

PLDやFPGAなど書き換え可能なハードウェア素子の最大の利点は、回路を記述したプログラムの書き換えによって何度でもハードウェアの機能変更が可能にある。近年では集積度の増加により下位のゲートアレイ市場を置き換えるところまで成長している。

FPGAの構造は、図1に示すように、一般に機能ブロック(Functional Block: FB)とデータ接続ラインからなる。機能ブロックは特定のビット列を書き換えることで様々な論理機能を実現できる。またデータ接続ラインも機能ブロックへの入出力を、図中で黒丸で示した1ビットのスイッチ群で選択することができる。つまりFPGAのハードウェア機能を決定するのは、機能ブロックとデータ接続ラインの状態を決める2進ピッ

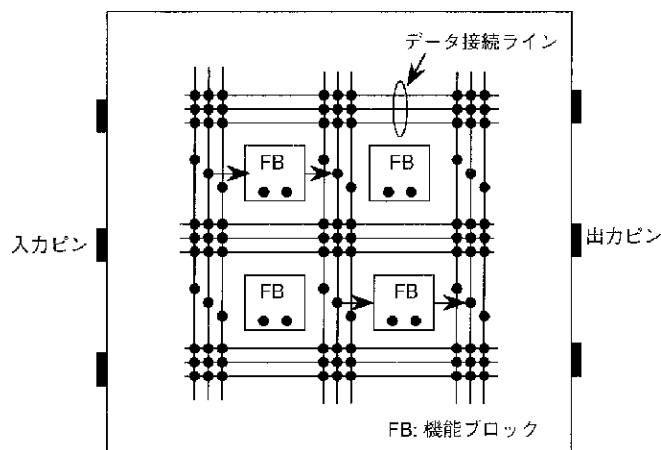


図1 FPGAの構造の概要

ト列である。このビット列をアーキテクチャビット列と呼び、これが実質的にハードウェア機能を定める。

3.2 進化型計算

進化型計算として代表的なものは遺伝的アルゴリズム(Genetic Algorithm: GA)と遺伝的プログラミング(Genetic Programming: GP)であり、共にEHWの実現の上で重要な役割を果たしている。

3.2.1 遺伝的アルゴリズム

GAは、組み合わせ爆発を起すような広大な探索空間を持つ問題に対しても、その問題に対する固有な知識がなくても有効に探索可能な汎用の探索技法である¹⁾。その特徴をまとめると、次のようになる。

- (1) 複数の解の候補集団による並列的な探索。
- (2) 解の各候補を一般に2進ビット列の遺伝子で表す。
- (3) その遺伝子のよさを表す評価関数が解くべき問題ごとに設定され、その値は適応度とよばれる。
- (4) 適応度の高い遺伝子、つまり解の候補として見込みの高い遺伝子同士を用いて、より良い遺伝子を次の世代として作り出し(遺伝子操作)、十分な適応度をもった遺伝子が得られるまでこれを繰り返す。

図2は、GAによる探索のイメージを直観的に示した

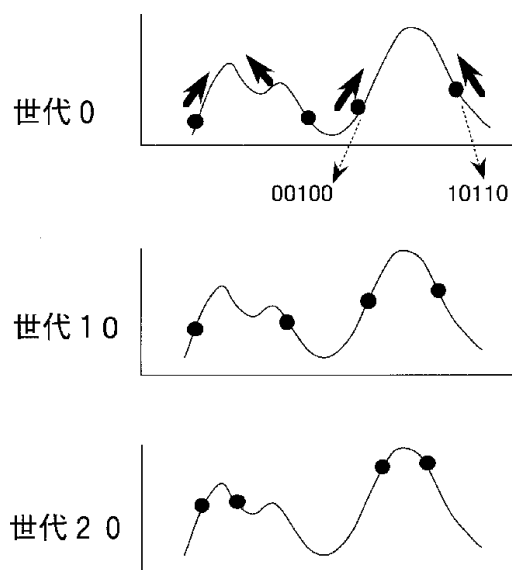


図2 遺伝的アルゴリズムによる探索のイメージ

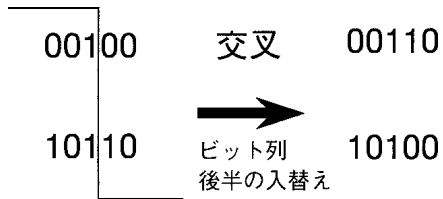


図3 交叉処理

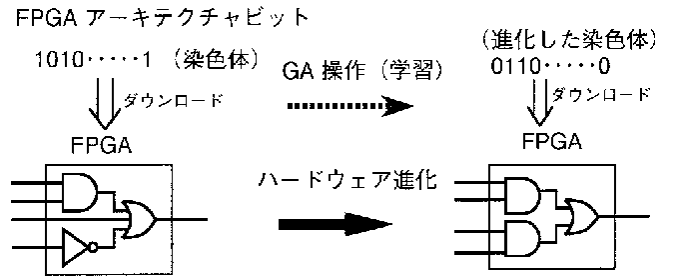


図4 ハードウェア進化の原理図

ものである。とても方程式では解が解析的に得られないような問題でも、集団中の解の各候補がGAを繰り返すうちに適応度が高まっていく様子がわかる。また図3に遺伝子操作の代表例である交叉の方法を示す。

GAの利点は、問題の探索空間についての知識がなくても、評価関数の設計と解の遺伝子表現が適切であれば探索が成功しやすいところにある。

3.2.2 遺伝的プログラミング

GAが主に2進ビット列を扱うのに対し、これを拡張して、人工知能でよく用いられるグラフなどの構造的表現を扱えるようにしたのが、Kozaらによって提案されたGPである²⁾。具体的には、LispのS式を表す「木構造プログラム」を解の候補として複数用意する。そして適応度の高い木同士の間で部分木を取り替えたりすることでさらに適応度の高い木、つまりLispプログラムの遺伝的生成を図る。

3.3 EHWの基本アイデア

EHWの基本アイデアは、プログラマブル論理素子のアーキテクチャビットをGAの遺伝子とみなすことで、コンピュータに自動的に、自律的に環境や動作目的に最適なハードウェア構成を発見させようというものである。図4にこの概念図を示す。これは、プログラマブル論理素子自体を、いわば直接的に操作することで適切なハードウェア構成を得ようというものである。GAは、通常PLDの外部で行い、進化の結果をPLDに書き込む。この方式は電総研が提案し⁴⁾、英国サセックス大学等、各所で展開され、デジタル回路進化の代表的手法である。ただし、PLDやFPGAのアーキテクチャビット列は極めて長いため、そのままの長さでGAを行うことは進化に時間がかかりすぎる。このため、実用のEHWでは最適な構成のプログラマブル素子部分を問題にあ

わせて設計することが多い。

この直接的な回路進化に対し、より高位のレベル、たとえばハードウェア記述言語による回路記述プログラムをGPによって進化、獲得しようとする手法がある。ATRによって提案されたもので⁵⁾、同様の手法がアナログ回路進化にもKozaらにより展開されている⁶⁾。

§4 進化型ハードウェアの研究事例

4.1 デジタル進化LSI

本LSIは、電総研とNECが開発したもので、PLD部、GAハードウェア部、外部インタフェース用CPUコアの3つを1チップに集積している。これは汎用を意図したEHWチップであり、電子回路を問題に応じて自律的に構成できるのが特徴で、当面義手と自律移動ロボットへの適用を前提に開発した。自律的に回路を高速に構成するためにGAを専用ハードウェアで実現している。

パターン認識回路への応用として、図5にある筋電制御型義手に適用した⁴⁾。筋電とは、筋肉を動かしたときに皮膚表面に発生する電位である。

この筋電パターンの違いによって「握る」や「開く」といった異なる動作をさせるのが、筋電制御型義手である。論理回路を用いてノイズ耐性のある認識を行うことが可能であるので、これを利用してEHW上にパターン認識回路を実現する。

筋電パターンは個人差が大きいため、これまでの筋電制御型義手では、患者が義手を思い通りに使いこなすまでのリハビリ期間が約1ヶ月にも及ぶとされている。しかし、EHWを用いることにより、患者ひとりひとりの筋電パターンに最適な認識回路を実現することができ、健常者の場合、数分で各個人専用の認識回路が構成できる。さらに、同じ患者であってもやがて筋



図5 筋電制御型義手

肉が縮退して筋電パターンが変化するが、その都度、最適なパターン認識回路をEHWで実現可能である。事前に認識回路の仕様を知ることができないので従来のハードウェア設計法は適用できず、従ってこの義手の例はハードウェアを適応的に合成することの利点を示す好例といえる。なお、EHWを用いた義手の商用化を平成11年度より推進している。

また本LSIは、自律移動ロボットの制御回路にも用いることができる⁴⁾。EHWを用いた自律移動ロボットEvolverは、カメラアイを用いてボールを追跡するが、例えば近接センサをわざと壊しても残りのセンサを使って追跡可能なように、制御回路がEHWでオンラインで再構成される。この再構成に要する適応時間は、従来の同種のロボットより圧倒的に速く、約2桁高速である。

4.2 印刷用データ圧縮LSI

現在、印刷業界は、インターネットを介して印刷データを工場やクライアントの間で流通させようとする業態変化がはじまっている。しかし印刷データは極めて多量であり、そのままネットに流すことはできないため、高圧縮率のデータ圧縮アルゴリズムが必要とされている。

印刷用データは、網点とよばれる構造から構成されており、通常の静止画とはデータの性質が大きく異なる。また印刷用データ専用の圧縮アルゴリズムはこれまで提案されていなかった。

表1 データ圧縮の性能比較

	gzip	JBIG	EHW	
			単純GA	拡張GA
プリンタ画像	5.06	6.67	10.83	11.08
相対比率	1	1.31	2.14	2.18

このため、電総研では予測符号化に基づく圧縮方法を考案し、この予測方法を、扱うデータの特徴に応じてEHWによって最適に実現することにより、従来の国際規格(JBIG)の2倍以上の圧縮率を達成した(表1)³⁻⁵⁾。ただし、この2倍という数値は可逆圧縮で得られたことに注意されたい。電総研はこの原理に基づくデータ圧縮方式とLSI(カスタムLSIをNECと共同開発)をすでに開発し、現在、この方式のISO化を推進中である。

4.3 進化型ニューラルネットワークLSI

ニューラルネットは、パターン認識や非線形関数の同定など、人工知能等の分野で有用性は認められているものの、産業応用の点では普及が十分に進んでいない。その理由としてよくあげられるのが、ニューラルネットの学習に時間がかかりすぎることである。その原因の一つとして、ニューラルネットの構造を、解くべき問題に応じて最適に設定せずに、学習を行わせていることが考えられる。しかし最適なニューラルネットの構造を決定するための理論やアルゴリズムとして決定的なものはまだないと言っても過言ではない。

そこで電総研ではこの問題の解決のために、ニューラルネットの構造と基本関数を遺伝的アルゴリズムによって動的に決定できるLSIをNECと共に開発した。このLSIは2進木状に相互接続された15個の16ビットDSP(Digital Signal Processor)と1台の32ビットRISCコア(100MHz)を内蔵している。またLSI同士を2進木状に直接結合することで、処理能力をスケラブルに拡張できる⁴⁾。

図6に、ニューラルネットワークがGAによって進化した、基本関数と構造が変わり、それに対応して新しいニューラルネットのとおり、LSI上に写像される様子を示す。構造が変わるだけでなく、基本関数がシグモイドであったり、ガウシアン関数であることに注意されたい。ニューラルネットワーク処理では、このLSI一個でPentiumII(400Mhz)10個分の処理性能があることを実証した。

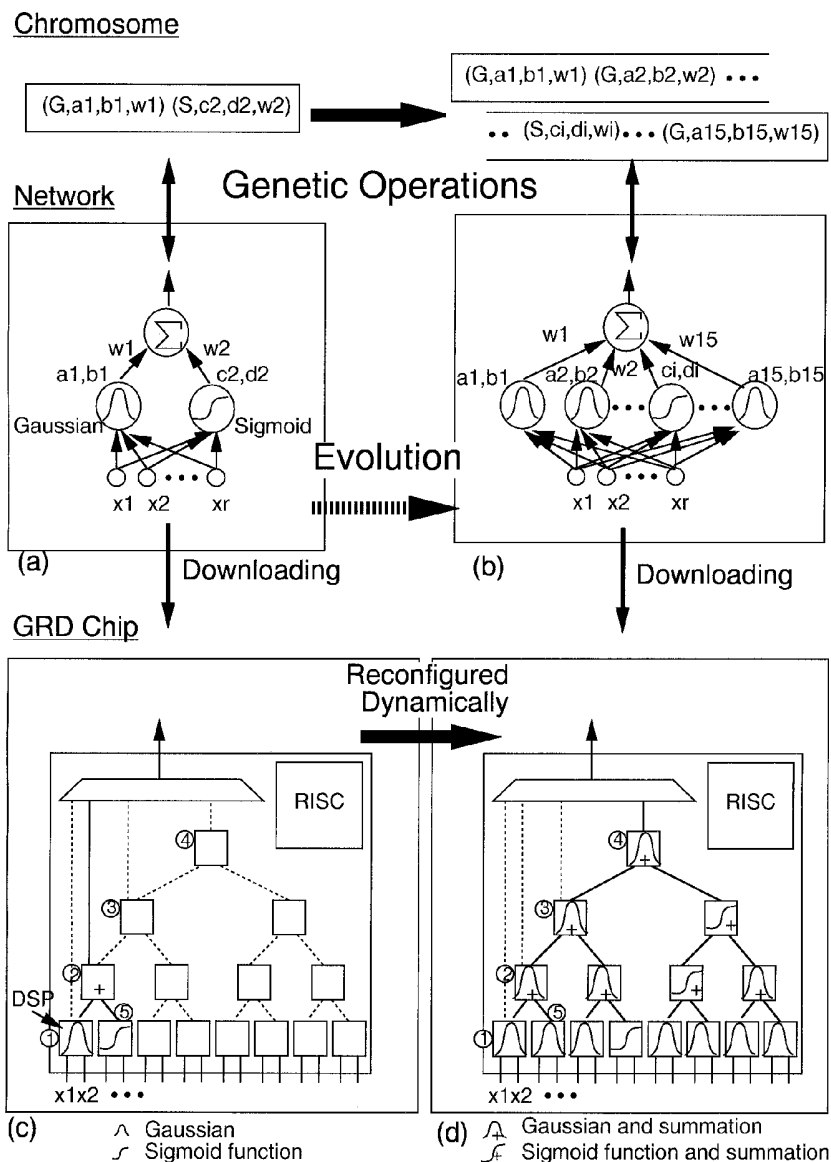


図6 ニューラルネットワークの自律的再構成とその実行の様子

§5 その他の進化型ハードウェア

5.1 アナログ進化LSI

アナログ回路は、製造時のばらつきにより、各素子の数値が設計値通りにならないことが多く、それが歩留まりの悪さにつながっている。特にハイエンドのアナログ回路ほど、この製造時のばらつきの影響を受ける。

電総研ではこのアナログ回路のばらつきを、むしろ当然のこととして、回路内部に、遺伝的計算に基づく調整機構を組み込むことによって、この歩留まりの問題を改善した。また、この調整機構を含めることで、回路素子自体の小型化も可能になる。

現在、携帯電話に使用する中間周波数フィルタのアナログ進化LSIを旭化成マイクロシステムと共に、共同開発している(図7)。様を満たしたチップはゼロだったのに対し、調整後は30チップが仕様を満たし、周波数応答特性、群遅延特性ともに収率100%を達成した。またチップ面積も従来の5分の2となり、これに伴い消費電力も38%削減された。現在、量産を前提とした遺伝的調整の高速化の開発フェーズにある。

また電総研では、メモリLSIテスター用の高速ALUチップに、クロックツリーをEHWで適応的に調整する機構を組み込み、800MHzで動作するALUの歩留まりを3%未満から50%以上に向上させられることをシ

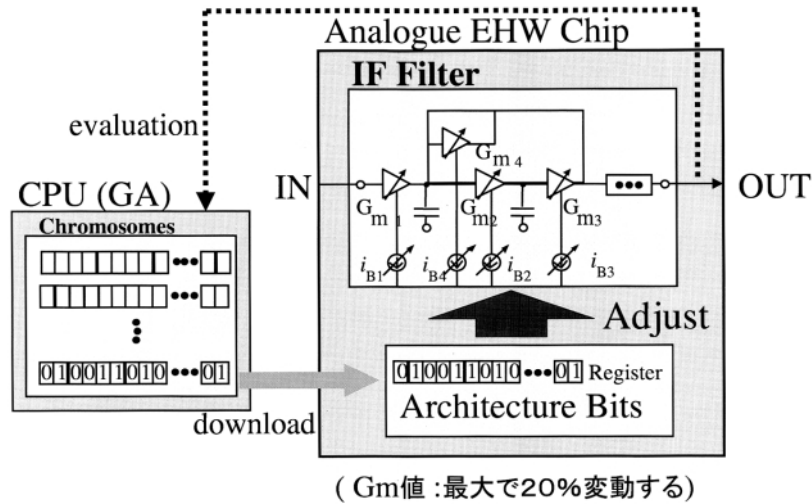


図7 アナログ進化型LSIの原理図

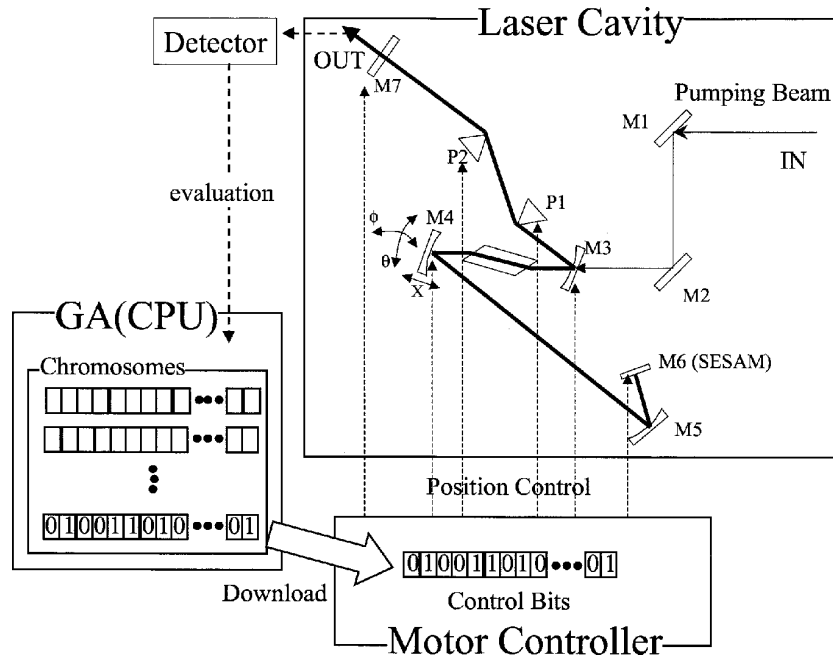


図8 進化型フェムト秒レーザの構造図

ミュレーションで確認した⁴⁾。現在、実チップを用いた評価を行っている。

5.2 メカニカル進化

機械部品等の物理的な配置の調整も、遺伝的アルゴリズムによって可能であり、ここではそれらをメカニカル進化と呼ぶ。その例として電総研では光学系の自動調整が可能な進化型フェムト秒レーザを開発している⁶⁾。フェムト秒レーザは、ミラーやプリズムなど多

数の光学系部品が配置され(図8)、そのミクロン単位での調整能力がレーザの性能を大きく左右する。これら光学系部品同士の微妙な位置調整においては、相互の組み合わせが莫大となるが、遺伝的アルゴリズムを用いることで短時間での調整が可能となる。またこのような自動調整が可能であれば、現在のように人の手に入る余地があるような光学系の配置を必要とせず、レーザの小型化が可能となる。これにより、どこにでも持ち出せ、かつその設置場所に応じて最適性能を

得られるフェムト秒レーザが実現できると考える。現在電総研では、コンパクトで、かつ自動調整の可能な進化型フェムト秒レーザを試作中である。

§6 光適応デバイス

6.1 背景

これまで、電総研光情報ラボでは、光の空間並列情報伝送性を生かした光ニューラルネットワークの構築を行ってきた。それらのシステムは光アドレス型の空間光変調器であり、空間並列加算、減算及び記録機能を持つ Pockels readout optical modulator (PROM) がキーデバイスであった。しかし、情報の2次元入出力に CCD カメラ等の電気的な1次元信号を介するデバイスを用いてきたため、高速化に限界があり、また学習信号の計算を電子計算機内で行うために光の並列性や高速性を十分に生かすことができなかった。

そこで、新たにフォトディテクタアレイ、青色LEDアレイを用いることにより高速でかつ、学習信号の計算も光を用いて高速に行うシステムを構築し、実験を行った。また、システムへの画像入力を更に高速化するための Si ベース光電子集積回路の設計試作を行った。他方、より効率的な画像処理ニューラルネットワークシステム開発のためのファジーコントロールや新しいアルゴリズムをニューラルネットワークによる画像処理に導入する研究を行った。

6.2 光ニューラルネットワークシステム

PROM、青色LEDアレイ、フォトディテクタアレイ、液晶デバイス、制御用コンピュータ等により光ニューラルネットワークシステムを構築した。想起過程においては、入力多重像とPROM上に記憶された結合荷重の重ね合わせを赤色LEDで照射し、その演算結果が Photo Detector Array で検出される。検出結果はコンピュータに読み込まれ非線型演算が行われる。これらの操作によりニューラルネットワークの想起過程の計算が行われる。学習過程においてはコンピュータ内で計算されたエラー信号を青色LEDアレイを用いてマトリックス状に表示する。このエラー信号は入力多重像と重ね合わされ学習信号(結合荷重の更新値)の計算が行われ、計算結果が直接PROMに書き込まれ学習が進行する。

この学習システムは、大規模なネットワーク構築が可能であり、その応用例として、大きな入力ニューロン数が必要な人間の顔を学習する認識学習実験を行った。ニューラルネットワークは3層構造とし、入力層から中間層へのネットワークは2章で述べた光学システムを用い、中間層から出力層のネットワークはニューロン数が少ないことから電子計算機内で計算を行った。入力ニューロン数は約3600、中間層ニューロン数は8、出力ニューロン数は学習する顔画像の数に合わせ3とし、学習アルゴリズムにはバックプロパゲーションを用いた。

3人の顔画像の学習では178回の繰り返しでエラーが0.1まで減少し、3人の顔画像認識が可能なネットワークの構築に成功した。このとき、1回の学習サイクルに必要な時間は96ミリ秒であった。この時間のほとんどは液晶デバイスの表示切替時間であり、このデバイスの置き換え、及びシステムの最適化により数ミリ秒で動作するシステムの構築が可能である。よって、ビデオレートを超える画像認識、学習システムの構築が可能である。

6.3 高速画像表示デバイス

通常の表示用液晶デバイスを用いたシステムでは画像表示がビデオレートで制限され、十分なスピードを得ることが困難である。その解決のためにシリコン電子回路上に液晶変調素子を一体化した光電子集積デバイスを提案し、試作および基礎特性の測定を行った。

デバイスは、シリコンDRAM構造における各セルのメモリ内容をそのまま電圧として取り出せる電極を取り付けた電子回路がベースであり、この電極上の液晶により光を変調する。現在までに並列読み出しの基礎動作を確認した。

6.4 画像処理ニューラルネットワークのアルゴリズム

より高速かつ柔軟性の高い画像処理用ニューラルネットワーク構築をめざし、コンピュータシミュレーションを用いてアルゴリズム研究を行った。その結果、学習係数や非線形関数をファジー制御する事により学習回数の減少がはかられること、ガウジアン関数を画像処理の前処理に用いると画像認識

の汎化能力が向上すること等が明らかになった。

§7 おわりに

実世界適応デバイスは、実世界知能を実現する上で、必要なハードウェアデバイスを供給する目的をもち、上記のように、電子的適応デバイスと光適応デバイスの2つのサブグループにわけて推進している。本領域の研究がスタートして約3年を経て、すでに商用化に達している研究もあり、RWC計画の終了までのあと2年でさらに研究、評価を進めていく予定である。

参考文献

- 1) J. Holland, "Adaptation in Natural and Artificial Systems", Ann Arbor, MI: University of Michigan Press, 1975.
- 2) 伊庭斉志, "遺伝的プログラミング", 東京電機大学出版局, 1996.
- 3) M. Sipper, D. Mange, and Andres Perez-Urbe (editors), Proc. of Second International Conference on Evolvable Systems ICES98), Lecture Notes on Computer Science, 1478, Springer Verlag, 1998.
- 4) <http://www.etl.go.jp/ehw>
- 5) Communications of the ACM, Vol.42, No.4, 1999.
- 6) J. R. Koza, F. H. Bennett, D. Andre, M. A. Keane, and F. Dunlap, "Automated synthesis of analog electrical circuits by means of genetic programming", IEEE Transactions on Evolutionary Computation, 1(2), pp.109-128, 1997.

(2000.6.9受付)