

ナノシリコンデバイスラボ (Nanostructure Silicon Devices Lab.)

研究項目：ナノ構造シリコン新デバイスの研究
研究期間：平成9年度～14年度

1. 当該研究の背景

現在はもちろん、将来にわたっても高度情報通信社会を支えると考えられるハードウェア技術は、シリコン集積回路(Si ULSI)技術以外に見あたらない。Siデバイスの大部分を占めるSi MOSFET(金属-酸化物-半導体電界効果トランジスタ)の高集積化、高性能化は、主にそのサイズの比例縮小化(スケールアップと称される)によって実現されてきた。ところが、テクノロジーノード(基本寸法)がサブ μm 領域に入ったところから、デバイスのスケールアップが容易に成り立たなくなってきた。しかしながら、この問題はどうしても克服しなければ将来の情報化社会は成り立たないと言っても過言ではない。Si ULSI技術のトレンドを示すものとして、シリコンロードマップ(ITRS:International Technology Roadmap for Semiconductors)がよく知られている。最新の国際的な検討を経た1999年版¹⁾では、テクノロジーノードで $0.1\mu\text{m}$ が実用化されるのはDRAMで2005年としている。もちろん、ITRSでの値は期待値であるが、ITRSが示す通りの技術の進展を続けていくためには、極微細Siデバイス技術開発を加速させなければならない事は確かである。この切実な技術開発要請に対して、本研究は、微細化の困難性が指摘されている従来型MOS素子等に代わり、新しい設計概念による集積化可能な極微細シリコン素子を開発することによって、ポスト $0.1\mu\text{m}$ シリコン技術を創出することを目的としている。

2. これまでの研究経過と現状

従来型のMOSFETを根本的に見直して短チャネル効果を大幅に抑制する基本的なMOSデバイス構造として、上下のゲートからチャネル領域を挟み込んだ二重ゲートMOSFET(以降XMOSと称する。Xはギリシャ文字のクサイの英文字に相当し、チャネル層をダブル

ゲートで挟んだ素子構造を象徴的に表すために命名された)を1984年に電総研が提案し²⁾、集積回路に使える極微小シリコンデバイスの最も有効なデバイス構造であることが広く学会でも認められている。シミュレーションや実験的なXMOS構造を試作し、動作の確認と共にダブルゲートの有効性を実証してきた³⁾。理想的な極短チャネルXMOS素子を作製することはしかしながら現状の最先端の技術でも不十分で、数々のブレークスルーが必要である。ところが、現在でも入手可能なSOI(Silicon on Insulator)ウェハを用い、チャネル層厚を極薄にすれば、XMOS素子の考え方から短チャネル効果を抑制できることを予想し、実際に極短ゲート長デバイスを作製してその優れた特性を確認した⁴⁻⁶⁾。図1は試作したSOIウェハ上では世界最短であるゲート長 40nm のnチャネルSOI MOSFET SEM(走査型電子顕微鏡)写真である。また図2は、試作したSOI MOSFETのゲート長の関数としてのしきい値電圧シフト量(ΔV_{th})と、ゲート電圧に対するドレイン電流の立ち上がり特性(S-スローブ)を示している。この実

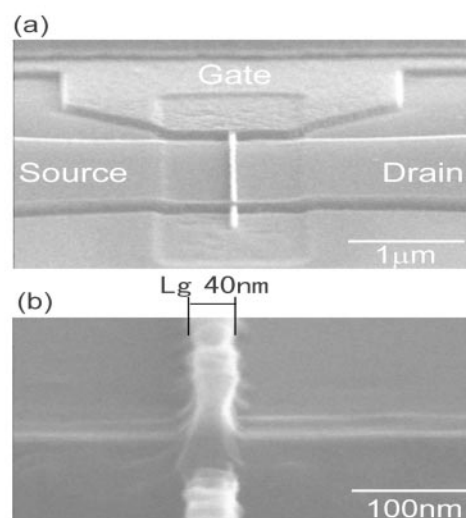


図1 (a) 試作したゲート長 40nm 極薄膜SOIMOSFETのSEM写真
(b) (a)の拡大SEM写真

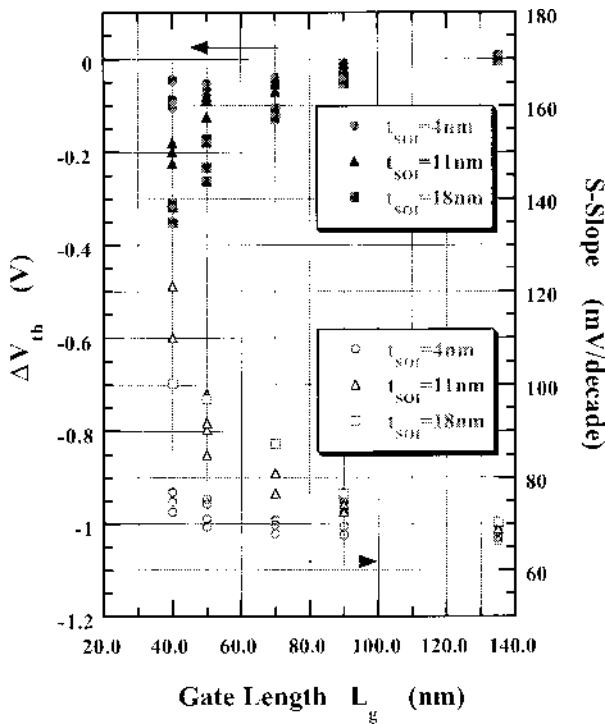


図2 試作した極薄膜SOIMOSFETのしきい値電圧シフト量 (ΔV_{th})及びサブスレッショルド傾き (S-Slope)のゲート長依存性。SOI膜が薄いほど優れた短チャネル効果抑止特性を示している。

験結果から 極薄膜SOIチャネル層の有効性は明瞭である。短チャネル効果として問題になる ΔV_{th} は、4nm厚のSOIチャネルの場合、ゲート長40nmにおいてもわずか0.07Vと優れたロールオフ特性を示し、同時に、S-スロープも理論限界60mV/(電流1桁)に対して74mV/(電流1桁)とこれまでにない小さな値を維持している事が確かめられる。将来のローサブ0.1 μ m領域のSiデバイスとして、現在、SOI MOSFETの更なる微細化・高性能化と共に、理想的な極短チャネルXMOS素子の実現に向けて研究を進めている。

3. 期待される波及効果

半導体デバイスは、1947年の歴史的なトランジスタ動作の確認以来、半世紀の間にシリコンを材料にIC、LSI、VLSIと驚異的な発展を遂げてきた。シリコンデバイスが産業の米あるいは鉄と言われて久しいが、今や、産業を育成する土壌とも言われている。つい最近までは、シリコンLSIは、MPUを始めとするロジックLSIとDRAMを始めとするメモリLSIとに分けられた。いずれも、半導体システムには必要なものであるが、

異なるチップで独立に技術開発がなされていたからである。ところが最近急速に、シリコンLSIの自然な進化形態として、ロジック、メモリはもとより、様々な機能を一つのチップ内に納めたシステムLSI、すなわちSoC (System on a Chip)へと変貌しつつある。これはインターネットを介した情報のグローバル化とパーソナル化が急速に進む情報化社会では当然の方向である。爆発的に増大する情報を最適に処理するためには、最適なソフトウェアの開発と共に、基本的には、より高速にしかもより低消費電力で処理できるハードウェアが必要であることは論を待たない。それを実現するのは、集積化可能な極微細シリコンデバイスに限られる。微細化の困難性が指摘されている従来型MOS素子等に代わり、集積回路に使える極微小シリコンデバイスの最も有効なデバイス構造であることが広く学会でも認められている微細化XMOS技術を開発することは、超情報化社会実現のためのシリコンデバイスへのニーズに応えることになり、その波及効果は計り知れないものがある。

4. 今後の研究展開の方向

半導体産業は、現在では巨大な産業であるが、しながら、メモリでは台湾、韓国に押され、ロジックはインテルの独壇場という厳しい現状があり、強い危機感がある。そこで、産官学が結集して再び半導体技術でリーディングポジションに着くべく、国研の独立法人化を機に、「次世代半導体研究開発センター」が2001年に7年計画でスタートすることになっている。そこでは、0.1 μ m世代のSoC技術の確立と70nm世代の先行技術を中心に進められることになっている。次世代のシリコンLSI技術開発の困難性はますます高まっており、一企業の枠ではなく、オールジャパンの視点で取り組まなければならない。一方、技術のキャッチアップではなく独自の技術開発によって世界をリードできる地位につくためには、さらにその先の基盤技術を世界に先駆けて開発していく必要がある。このような状況の中で、次世代半導体センターとの密接な連携はもちろんのこと、エレクトロニクス領域、および、大学、企業の基礎研究部門との連携で最適な研究体制を取り、将来のシリコンLSIの基本素子としての極微細Si素子の開発と実証を、デバイス構造、それを構成する材料

開発 ,及び ,デバイス評価解析をパッケージで開発し ,
超情報化社会を可能にすべくシリコンLSI基盤技術の
本流で寄与していく。

参考文献

- 1) International Technology Roadmap for Semiconductor,
Semiconductor Industry Association(1999).
- 2) T.Sekigawa and Y.Hayashi, Solid-St. Electron., Vol.27, p.827
(1984).
- 3) K.Ishii, Y.Hayashi and T.Sekigawa, Jpn.J.Appl.Phys., Vol.29,
pp.L521-L523(1990) ,関川 林 ,石井 : 電子情報通信学会論
文誌 C-II, Vol.J75-C-II, pp.546-553(1992).
- 4) K.Ishii, E.Suzuki, S.Kanemaru, T.Maeda, K.Nagai and
T.Sekigawa, Electronics Lett., Vol.34, pp.2069-2070(1998).
- 5) E.Suzuki, K.Ishii, S.Kanemaru, T.Maeda, K.Nagai and
T.Sekigawa, 56th DRC Dig., pp.76-77(1998), E.Suzuki, K.Ishii,
S.Kanemaru, T.Maeda, T.Sekigawa, K.Nagai, T.Tsutsumi and
H.Hiroshima, 57th DRC Dig., pp.32-33(1999)
- 6) E.Suzuki, K.Ishii, S.Kanemaru, T.Maeda, T.Tsutsumi,
T.Sekigawa, K.Nagai and H.Hiroshima, IEEE Trans. Electron
Devices, Vol.47, pp.354-357(2000).

当該研究担当者等

ラボ構成員(総数14名)

職員(11名) 鈴木英一* ,関川敏弘 ,永井清子 ,石井賢一 ,
山中光之 ,川浪仁志 ,坂田 功 ,坂本邦博 ,金丸正剛 ,
高遠秀尚 ,前田辰郎(電子デバイス部)

職員以外(3名) 堤 利幸(明治大) ,田口博久(東京理
科大) ,ハズラ・スクティ(STAフェロー)

* ラボリーダー