

電子数制御デバイス形成技術ラボ (Nano-Process Lab.)

研究項目：電子数制御デバイス形成技術の研究

研究期間：平成9年度～14年度

1. 研究の背景

21世紀の高度情報化社会においては情報技術が中核となり、飛躍的に増大する情報量の処理技術が要求されるようになることが予想される。このような要求に答えるために、従来型のシリコンデバイスの研究開発においては、超高速化・超高密度化を図るため極微細化に注力されてきた。しかしながら、素子寸法が100ナノメートル程度よりさらに小さくなると従来型電子デバイスは正常動作を保てなくなることが予想されている。従って、高度情報化社会の要求に答えるために、動作原理が従来型とは全く異なり、素子寸法が100ナノメートルよりはるかに小さくとも正常に動作する素子を開発しなければならない。

電子数制御デバイスは、電子一個一個の動きが制御されるクーロン閉塞現象を基本動作原理とする素子である。動作原理が従来型とは全く異なり、従来のシリコン技術の微細化と動作原理の限界を越える新たなデバイスとして注目されている。電子数制御デバイスは、素子寸法がナノメートル程度になると室温でも動作するようになり、一動作に要される電子の数が100個程度以下と非常に少なく、素子寸法も極微小であるために、超低消費電力性かつ超高密度集積性が期待される。高温（液体窒素温度77K以上）で動作する電子数制御デバイスを実現するためには、10ナノメートル以下の寸法の構造を作製する技術が必要不可欠である。電子線を用いたリソグラフィ技術は、その周辺技術を含め、成熟度の高い加工技術であり集積化に最も適した技術であるが、従来用いられてきた電子線用レジストは有機物であり、その解像度は10ナノメートルより悪い。本研究では、10ナノメートル以下の構造作製が可能な電子線リソグラフィ技術を開発するために、二酸化シリコン薄膜を電子線レジストとして用いる無機レジストプロセス法を提案・開発すると共に、本手法を用いて金属/絶縁膜/金属(MIM)トンネ

ル接合型電子数制御デバイス及びその集積回路作製技術の開発を行う。

本研究に先立ち、 $\text{SiO}_2/\text{poly-Si}$ 二層構造を用いる無機レジストプロセスを提案・開発し、アルミニウム電極の単一電子トンネル接合素子を作製し、20Kでの動作を実現している。この動作温度は、同様な手法で作製された単一電子素子としては世界のトップレベルであった。

2. これまでの研究経過

(1) SiO_2 薄膜を用いる無機レジストプロセスの提案

SiO_2 に電子線を照射することにより、緩衝フッ酸による SiO_2 のエッチング速度が3倍程度大きくなる。この効果を用いれば、 SiO_2 薄膜を電子線レジストとして用いることができる。MIMトンネル接合を作製するためには、サスペンデッド構造のマスクを作製し角度蒸着を行う。図1に示すような SiO_2/Si 二層構造を用いる無機レジストプロセスを提案した。

(2) $\text{SiO}_2/\text{poly-Si}$ レジストプロセスの開発と単一電子トンネル接合の作製

SiO_2/Si 二層構造無機レジストプロセスにおける下地Siとしてpoly-Siを用いるプロセスを開発し、アルミニウム電極の極微小トンネル接合列を作製した。図2に極微小トンネル接合列の電圧-電流特性を示す。温度20Kでも明確なクーロン閉塞現象を示しており、同様な手法としては世界トップレベルの20Kにおいて明確な単一電子トンネル現象を観測した。

(3) $\text{SiO}_2/\text{c-Si}$ レジストプロセスの開発及びチタン電極の採用

SOI(Silicon On Insulator)を採用すると共に、アンダーカットエッチングにフォトリソ現像液NMD-3を用いることにより、さらに微小な構造作製

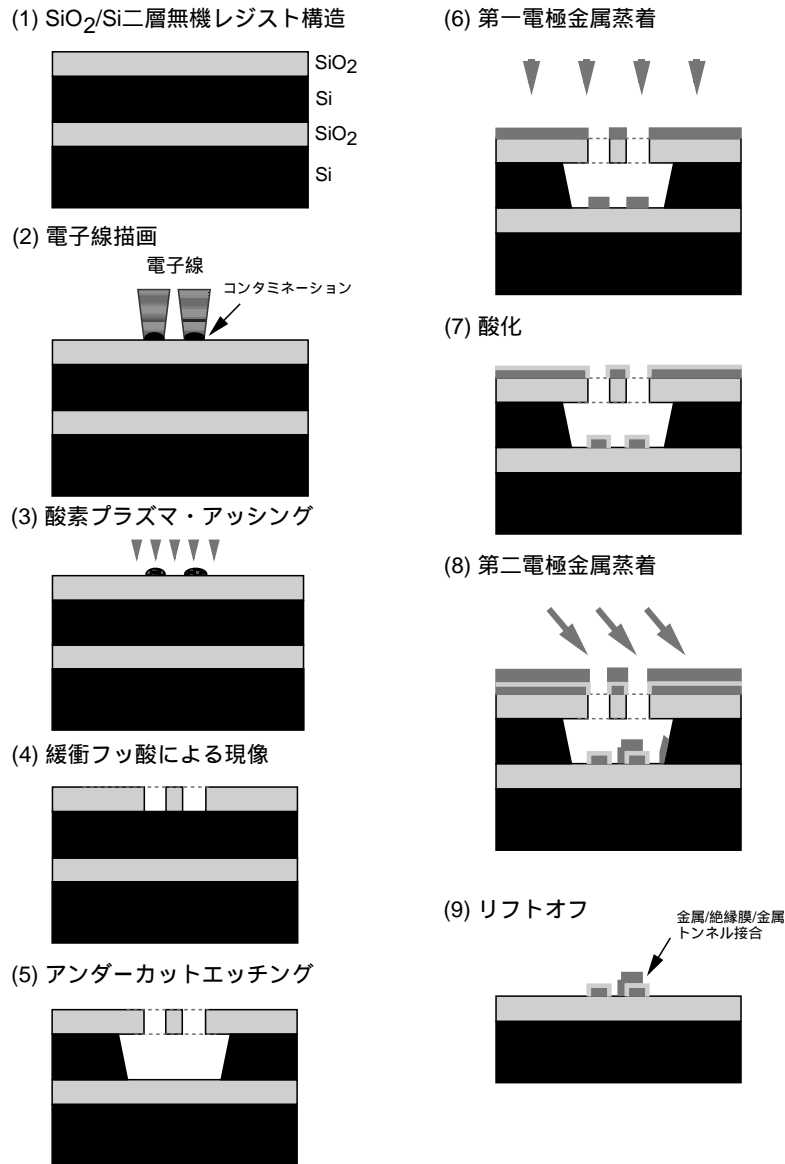


図1 SiO₂/Si二層構造無機レジストプロセス

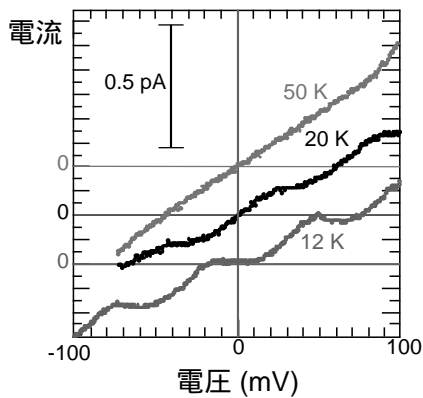


図2 SiO₂/poly-Si二層構造無機レジストプロセスにより作製したアルミニウム電極・極微小トンネル接合列の電圧 - 電流特性

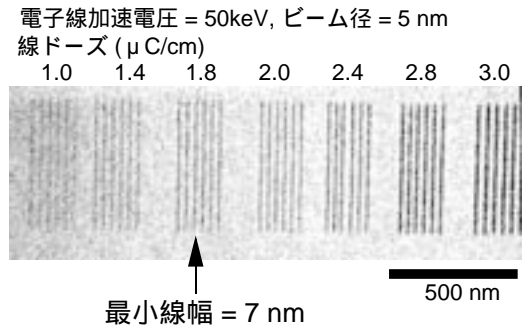
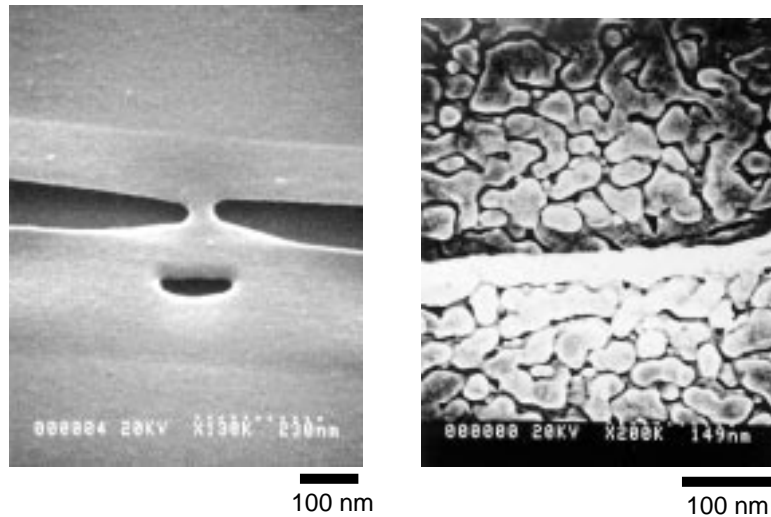


図3 SiO₂/c-Si 二層構造無機レジストプロセスにより形成したラインパターンのSEM写真

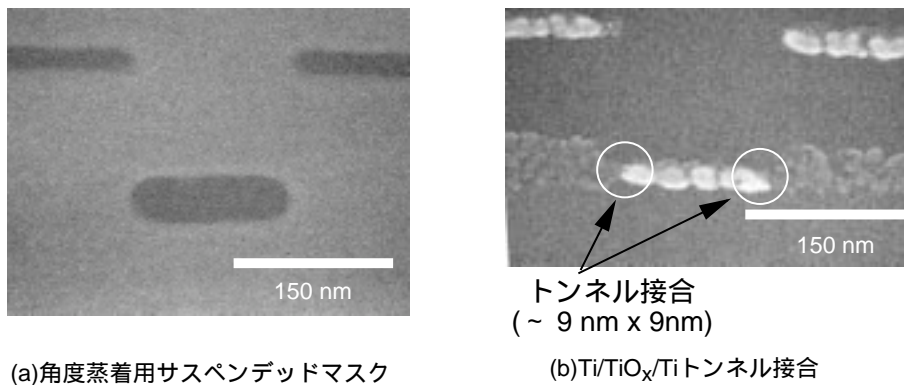
を可能にした。図3にSiO₂/c-Si レジストプロセスにより形成したラインパターンを示す。最小線幅7ナ



(a) Ti/TiO_x/Ti

(b) Al/Al₂O₃/Al

図4 チタン(a)及びアルミニウム(b)の蒸着薄膜表面SEM写真



(a)角度蒸着用サスペンデッドマスク

トンネル接合
(~ 9 nm x 9 nm)
(b)Ti/TiO_x/Tiトンネル接合

図5 SiO₂/c-Si二層構造無機レジストプロセスにより作製したサスペンデッドマスク(a)及びTi/TiO_x/Tiトンネル接合(b)のSEM写真

ノメートルを実現した。

また、図4に示すようにアルミニウムよりナノメートル構造に適した電極材料としてチタンを採用し、作製した10ナノメートル以下の寸法のTi/TiO_x/Tiトンネル接合のSEM写真を図5に示す。

(4) 縦型単一電子メモリの開発

高密度集積に適した縦型単一電子デバイス構造を提案し、その可能性を実証した。図6に素子の断面模式図と電圧 - 電流特性の測定例を示すが、SOI基板の表面酸化層に形成したナノ寸法のコンタクトホールを通して縦型MIM構造を作製し、30Kにおいて単一電子素子の基礎特性であるクーロン閉塞の観測に成功した。

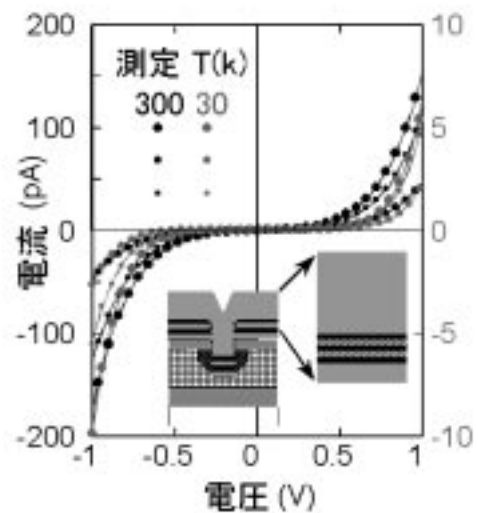


図6 縦型単一電子デバイスの断面模式図と電圧 - 電流特性の測定例

3. 今後の研究展開の方向

今後は、これまでに開発して来た無機レジストプロセスをさらに高度化し、再現性よくナノメートル寸法の構造が作製できるプロセスを確立する。また、無機レジストプロセスを用いて、メモリーやロジック回路などの電子数制御デバイス群を開発する。さらに、本プロセスは、シリコンULSIプロセスとも共存し得る特徴を有しており、電子数制御デバイス群を実用化する一手法として、CMOSとの混載技術を開発する。本研究開発により、21世紀の高度情報化社会における多様な情報処理に対応できる超低消費電力・超高集積回路素子を実現するための道が開かれるであろう。

当該研究担当者等

ラボ構成員(総数7名)

職員(6名) 和田敏美* 原市 聡 廣島 洋 佐々木仁,
古室昌徳 岡山重夫(電子デバイス部)

職員以外(1名) Vladimir Bubanj(STAフェロー)

*ラボリーダー