

## [ 資料 ]

# 低融点はんだバンプを用いるフリップチップボンディング技術 Flip-Chip Bonding Technology using a Solder Bump Having a Low Melting Point

山 森 弘 毅      前 澤 正 明      東 海 林      彰  
H. YAMAMORI      M. MAEZAWA      A. SHOJI

A flip-chip bonding technology for achieving good electrical contacts between pads of superconducting digital circuit chips and those of a carrier was investigated. As a solder bump material for the flip-chip bonding, we chose 52wt%In-48wt%Sn alloy (InSn) because it has a low melting point (117°C) and less viscous property than other materials, e.g., InBiSn. Through some experiments, we found that the failure of bump formation on the pads was caused by bubble generation from fluxes. By removing the bubbles from the fluxes, much improvement was achieved in the yield of bump formation. The alignment of a chip and a carrier was carried out by a self-alignment method without using an auto-alignment machine.

## § 1 はじめに

超伝導チップのフリップチップボンディングの研究の歴史はIBMのジョセフソンコンピュータプロジェクト<sup>1)</sup>にまで遡るが、その後、京セラと当所のグループ<sup>2)</sup>やTRW<sup>3)</sup>などをはじめとするいくつかのグループによって、さまざまな方法、各種のはんだ材料などが盛んに研究されている。

超伝導チップ間で単一磁束量子(SFQ)パルスを送送させるためには、キャリアとチップをフリップチップボンディングによって貼り合わせる必要がある<sup>4)</sup>。これを実現するために、我々の目的に合ったフリップチップボンディング手法とはんだ材料を検討し、温度、はんだバンプの作製、チップとキャリアの貼り合わせ方法など検討を行った。

## § 2 はんだバンプの形成

### 2.1 テストチップの作製

テスト用に3インチのSiウェハ-を用いて、5ミリ角のチップと8ミリ角のキャリアを作製した。配線は導通を確認するためだけの簡単なものである。配線及びパッドにはNb膜400nmを用いた。Nbのパッドの上に

Pd膜400nmとAu膜200nmのパッドを作製した。バッファとしてTiを用いた。Pdは100nmでは薄すぎではんだに溶けてしまったため、ある程度の膜厚が必要であった。

### 2.2 手順

ジョセフソン接合の酸化アルミバリアは温度が200~300°C以上で臨界電流密度が変化してしまう<sup>5)</sup>ため、はんだの融点は150°C以下が望ましい。そこで融点が150°C以下の低融点はんだ<sup>6)</sup>を探すとTable1のように各種存在する。この中から4.2Kで超伝導となる材料ということで、InSnとInBiSnをはんだ材料として検討した。InSnとInBiSnの抵抗の温度依存性をFig.1の(a)と(b)に示す。どちらも臨界温度 $T_c$ は約6Kである。融点はそれぞれ117°Cと60°Cである。

ホットプレートを使って金属製の皿ではんだ約30グラムを溶かす。InSnはさらさらしており、InBiSnは粘りけがあるように感じた。紙で溶けたはんだ表面をなでて、表面の酸化した部分やゴミなどを取り除いて平滑にする。フラックスをチップの表面に筆で薄く塗る。フラックスが乾かないうちに溶けたはんだの上に落とす。5秒程度経過したらバキュームピックでチップをはんだから取り出す。フラックス除去剤(大洋電

KEY WORDS : flip-chip bonding, self-alignment, InSn, superconducting digital circuit

Table1 低融点はんだ材料

名称	材料	組成	融点(°C)
	In-Sn	52:48	117
	In-Bi-Sn	51:33:16	60
アナトミカル合金	Bi-Pb-Sn-In	53.5:17.0:19.0:10.5	60
リポウィッツ合金	Bi-Pb-Sn-Cd	50.0:26.7:13.3:10.0	70
ウッド合金	Bi-Pb-Sn-Cd	50.0:25.0:12.5:12.5	60-72
	Bi-Pb-Sn (共晶合金)	50:28:22	124
ローズ合金	Bi-Pb-Sn	50:28:22	100
ダルセ合金	Bi-Pb-Sn	50:25:25	93
ニュートン合金	Bi-Pb-Sn	50.0:31.2:18.8	94
セロセーフ合金	Bi-Pb-Sn-Cd	40.0:40.0:11.5:8.5	130
デイ合金	Bi-Pb-Sn-Sb	47.7:33.2:18.8:0.3	130

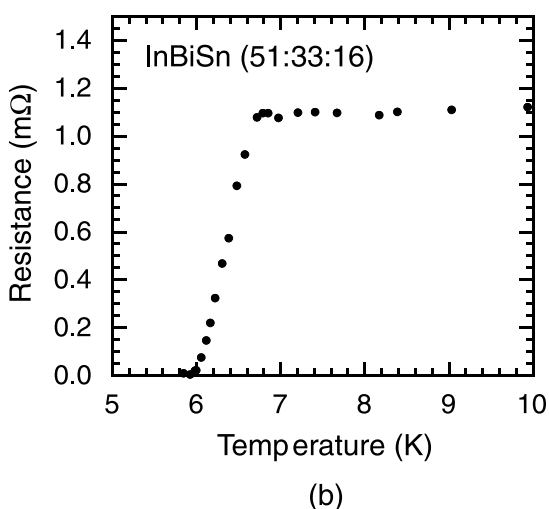
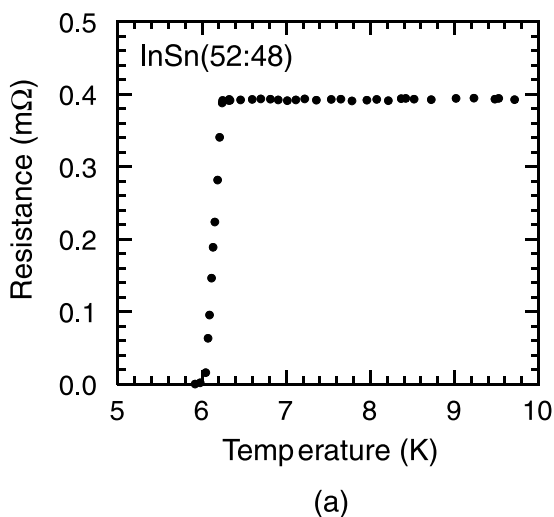


Fig.1 はんだの抵抗の温度依存性  
(a) InSn (b) InBiSn

機 ,プリント基板用フラックス洗浄剤 BS-R20B )でフラックスを除去する。すべてのパッドにはんだがつくまでこの作業を繰り返す。

### 2.3 温度依存性

はんだバンプ形成の最適温度を調べるため、温度を変えてはんだバンプ形成の成功確率を調べた。チップには大きさが $250\mu\text{m} \times 250\mu\text{m}$ の48個のパッドがあり、パッドにはんだがつかなかったり、隣のパッドとショートしたり、あるいは、はんだが付きすぎたりしたパッドは失敗と数えて、成功率をパーセントで表したのがFig.2である。温度が $130^\circ\text{C}$ より低くなるとバンプ形成の成功確率が低下する。温度は $130^\circ\text{C}$ より高ければほぼ成功確率は一定であり、温度が高すぎるとチップへのダメージが生じかねないので、バンプ作製温度の最適値を $140^\circ\text{C}$ と決定した。

またInSnとInBiSnは成功率にほとんど差がなかった。当初は融点の低いInBiSnの方が低い温度でバンプを形成できるので有利と考えたが、実際は温度が低いと成功率は低いので融点が高いメリットはない。したがって、今回は融かした時の粘性がInBiSnより低いInSnをはんだ材料として選択した。

### 2.4 フラックスについて

バンプの成功率にはフラックスが非常に重要である。フラックスが乾燥してしまうと、はんだの付きが良くなりすぎてチップの全面にはんだがついてしま

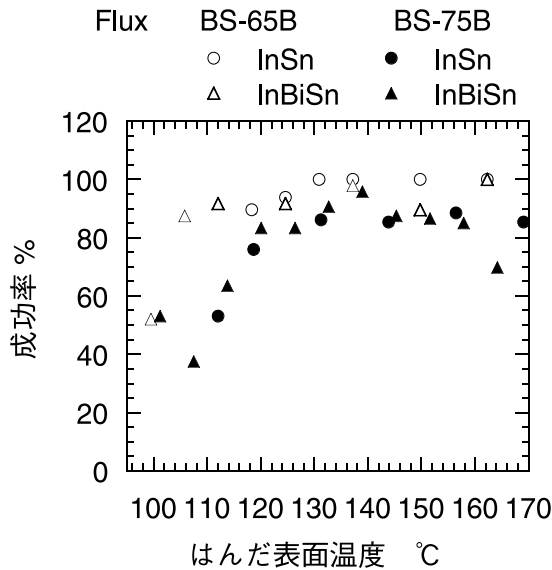


Fig.2 はんだの表面温度とはんだバンプ形成の成功率の関係

う。このため、フラックスが乾燥する前に、はんだにチップをつける必要がある。また、フラックスにも種類が各種あるが、フラックスが適切でないと、温度が120°C以下でパッドにはんだがつかなくなったり、つきすぎてショートしたりと、両方の失敗が多発するようになる。Fig.2に代表的な2例として大洋電機社製のBS-65Bをと、BS-75Bをと示してあるが、明らかにBS-65Bの方が全温度域にわたり成功率が高く、特に低い温度で成功率が高い結果が得られた。

### 2.5 バンプサイズについて

バンプの直径とバンプ形成の成功率をFig.3に示す。今度は直径が30, 50, 70, 100μmのパッドが152個のチップを用い、はんだがうまくついてバンプが形成される確率を6チップの平均値で示す。パッドのサイズが大きい方がはんだが付きやすいという結果が得られた。

### 2.6 失敗の原因について

失敗の原因として最も多いのがFig.4に示すように、パッドにはんだが全くついていない状態である。パッドの大きさは直径100μmで、黒く見えるパッドは、はんだがついていて、白く見えるパッドは、全くはんだがついていない。透明のSiO<sub>2</sub>基板でチップを作製したところ、フラックスが熱で蒸発して気泡ができ、それがパッドとはんだの間に侵入してパッドにはんだ

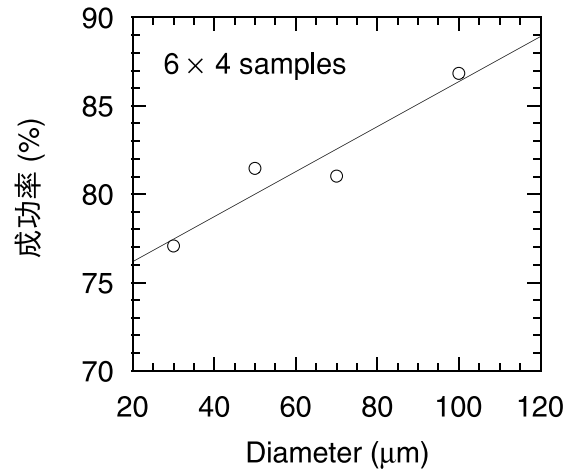


Fig.3 バンプサイズとバンプ形成成功率

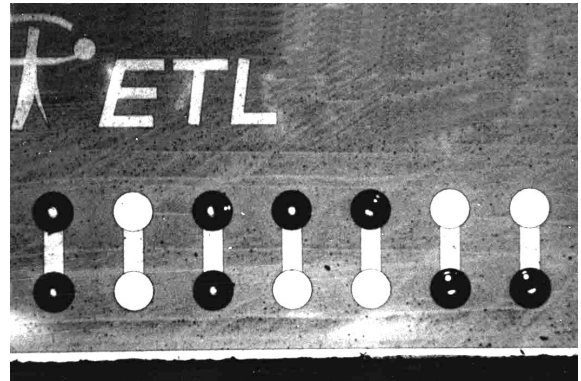


Fig.4 はんだがパッドにつかない失敗例

が付着するのを妨げていることがわかった。したがって解決法は、ピンセットでチップを傾けてフラックスの蒸気を逃がしてやると成功する確率が高くなった。

### §3 チップとキャリアの貼り合わせ

当初はチップとキャリアのアライメントと貼り合わせを超音波フリップチップボンダで行う予定であったが、装置の調整に手間取りアライメント精度が取れなかったため、実体顕微鏡でキャリアのアライメントマークを見ながらピンセットで位置合わせ及び貼り合わせを行った。Fig.5に示すようにキャリアにはチップの位置を示すマークがパターンニングされており、Fig.5ではチップが右に若干ずれているが、ピンセットでの位置合わせはこれくらいが限界である。チップとキャリアの間には、わずかに隙間があるので、フラックスをその隙間に流しこみ、ヒータの上で120°Cで再

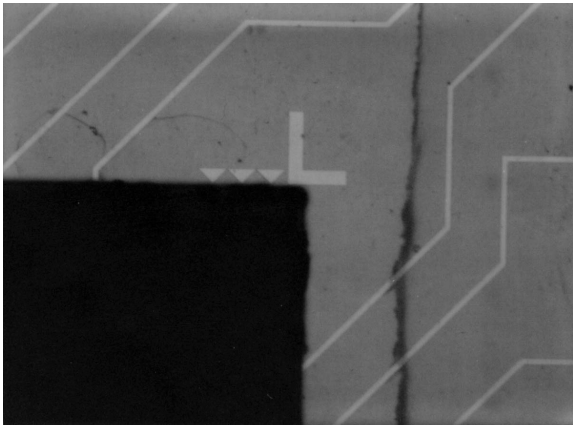


Fig.5 キャリアのアライメントマークとチップ

加熱すると、はんだが融けて位置が補正されるいわゆるセルフアライメントが生じる。そのチップをさらにオープンで120°Cで1時間ベーキングした後、アセトンで洗浄して完成となる。この時チップがキャリアからはがれるため、超音波洗浄を行ってはいけない。

#### § 4 結論

フリップチップボンディングを行うために、低融点のはんだ材料としてInSn(52:48)を選択した。そしてバンプの作製条件を調べたところ、十分な成功確率を得るためには適切なフラックスを用い、はんだ温度は最低140℃必要であることがわかった。また、失敗のおもな原因は、蒸発したフラックスの気泡であることが分かったので、チップとはんだの間の気泡をピンセットでうまく逃してやることによって、成功確率を大幅に上げることができた。またチップとキャリアのアライメントに関しては、大まかな位置合わせの後、再加熱で自動的に位置が修正されるため、フリップチップボンダを用いなくてもチップとキャリアの貼り合わせを行うことができた。このフリップチップボンディング技術を用いて貼り合わせを行ったキャリアとチップ間のSFQパルスの伝送に成功している<sup>7)</sup>。

#### 参 考 文 献

1) H. Jones and D. Herrel : "The characteristics of chip-to-chip signal propagation in a package suitable for superconducting circuits", IBM J.Res.Develop, vol.24, (1980) pp.172-177

2) S. Tanahashi, T. Kubo, K. Kawabata, R. Jikuhara, G. Kaji and S. Takada : "Superconductive wiring in multichip module for Josephson LSI circuits", Jpn.J.Appl.Phys, Vol.32 (1993) pp.898-900

3) R. Sandell, G. Akerling and A. Smith : "Multi-chip packaging for high speed superconducting circuits", IEEE Trans. Appl.Supercond., Vol.5 (1995) pp.3160-3163

4) M. Maezawa, H. Yamamori and A. Shoji : "A novel approach to chip-to-chip communication using a single flux quantum pulse", IEEE Trans. on Appl. Supercond., Vol. 9, No. 2 (1999) , pp.4049-4052

5) T. Shiota, T. Imamura and S. Hasuo : "Fabrication of High Quality Nb/AlOx-Al/Nb Josephson Junctions:III - Annealing Stability of AlOx Tunneling Barriers", IEEE Trans. on Appl. Supercond. Vol.2, No.4, (1992) pp.222-227

6) 高純度科学研究所：総合カタログ 1993年版

7) 前澤正明, 山森弘毅, 東海林彰：電総研彙報, 本号 (2000.7.5受付)

#### 著 者 紹 介



山森 弘毅  
Hirotake YAMAMORI  
電子デバイス部 超伝導デバイス応用ラボ  
E-mail:yamamori@etl.go.jp  
超伝導デバイス技術の研究に従事。



前澤 正明  
Masaaki MAEZAWA  
電子デバイス部 超伝導デバイス応用ラボ  
超伝導集積回路の研究に従事。



東海林 彰  
Akira SHOJI  
電子デバイス部 超伝導デバイス応用ラボ  
E-mail:shoji@etl.go.jp  
超伝導デバイス技術の研究に従事。