

## 〔研究〕

# 単一磁束量子回路のためのマルチチップモジュール技術の開発

## A Multichip Module Technology for Rapid Single Flux Quantum Circuits

前澤 正明 山森 弘毅 東海 林 彰  
M. MAEZAWA H. YAMAMORI A. SHOJI

A multichip module (MCM) technology for rapid single flux quantum (RSFQ) digital circuits is described. We demonstrate chip-to-chip propagation of single flux quantum pulses using an active MCM technique in which active transmitters and receivers are integrated on an MCM substrate as well as on a chip. A prototype MCM consisting of an RSFQ chip and an active MCM substrate has been designed and fabricated by a standard Nb-trilayer technology and a solder-bumped flip-chip technology. The correct operation of the circuit has been confirmed by low-speed testing. Bit-error rate (BER) of the circuit has been also measured down to  $10^{-5}$ , and extrapolation of the error-function fits suggests sufficiently small BER, lower than  $10^{-200}$ , at the optimum bias point. Experimental margins for the bias voltage have been as large as  $\pm 34\%$ .

### § 1 はじめに

マルチチップモジュール(MCM)は、大規模・高性能デジタルシステムを構築するための重要な要素技術の一つである。現在の実用的デジタルシステムの多くは複数の集積回路チップで構成され、システム性能の向上とともにより広帯域なチップ間での信号伝送が要求されている。近年、超伝導体を用いる単一磁束量子回路技術<sup>1)</sup>においても、ペタフロップス級計算機<sup>2)</sup>などの大規模システムが提案され開発が進められているが、このような大規模・高性能システムにおいて単一磁束量子回路の高速性を十分に活かすためには、広帯域チップ間伝送を可能にするMCM技術の開発が必要不可欠である。また、アナログ-デジタル変換器<sup>3-6)</sup>やデジタル-アナログ変換器<sup>7,8)</sup>などの中小規模システムにおいても、単一磁束量子回路の本質的な欠点の一つである集積度の低さを補うことができるMCM技術は重要な意義を持つ。これまでに、多くの研究機関により、単一磁束量子回路チップ間でデジタルデータを伝送するためのMCM技術開発の試みが行われてきた<sup>9-11)</sup>。しかしながら、単一磁束量子回路の特殊性に起因する技術的課題のために、チップ間の直接データ

伝送の実験は報告されていなかった。

我々は、MCM基板上に能動素子であるジョセフソン接合を集積した能動MCM法を提案し、シミュレーションにより、 $60\text{Gb/s}$ 以上の極めて広い帯域で単一磁束量子電圧パルスのチップ間伝送が可能であることを示した<sup>12)</sup>。さらに、この新方式に基づくテストMCMを設計、作製し、低速機能試験でその基本動作の確認に成功している<sup>13)</sup>。これらの結果は、チップ間での単一磁束量子情報の広帯域伝送が可能であることを示し、単一磁束量子回路のための高性能MCM実現の可能性を強く示唆するものである。本報告では、提案した能動MCM法の概念、それに基づくテストMCMの設計、作製及び評価結果について述べる。

### § 2 磁束量子パルス信号のチップ間伝送

#### 2.1 受動MCM法

一般に、分布定数回路素子を含む系において高速に電気信号を伝達するには、信号伝送チャネルのインピーダンスを精確に整合させなければならない。すなわち、通常受動MCM基板を用いて信号の高速伝送を行うには、送信チップ上のトランスミッタ回路、

**KEY WORDS** : multichip module, rapid single flux quantum, flipchip bonding, Josephson junction

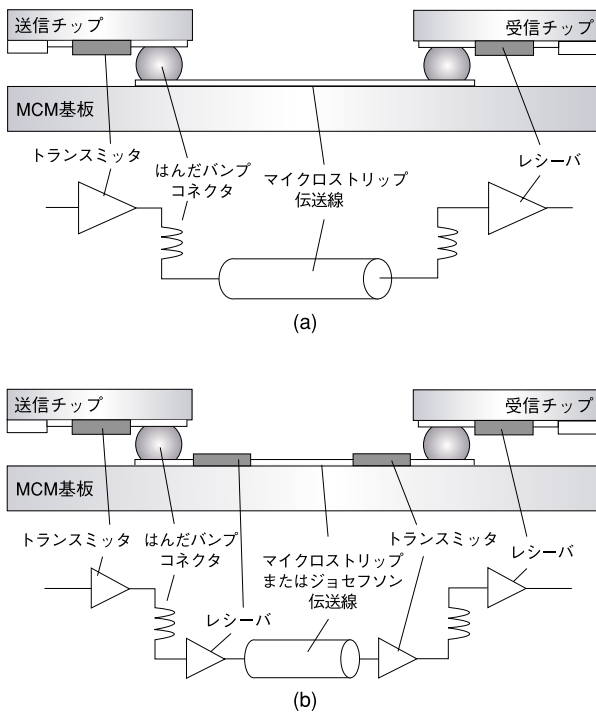


Fig.1 Concepts of (a) passive and (b) active multichip module techniques.

MCM 基板上の信号伝送線、受信チップ上のレシーバ回路、及びそれらを接続するコネクタのインピーダンスを全て等しくしなければならない ( Fig.1(a) )。しかしながら、単一磁束量子回路においては、トランスミッタ回路やレシーバ回路を構成するジョセフソン接合のインピーダンスは極めて低く ( $< 3 \Omega$ )、その一方でチップとMCM基板を電氣的に接続するコネクタは比較的大きなインダクタンス ( $> 20 \text{ pH}$ ) を有するため、信号チャンネル全体を通してインピーダンス整合を完全に保つことは困難である。インピーダンス整合の問題に対する現実的な解決策の一つは、トランスミッタを多段ジョセフソン接合<sup>9)</sup>あるいは多段SQUID<sup>10,11)</sup>で構成することにより、そのインピーダンスを増加することである。しかし、このような高インピーダンス多段トランスミッタは、動作マージンが小さい、帯域が狭い、占有面積が大きい、及び、消費電力が大きいなどの欠点を持ち、大規模システムへの応用には適さない。

### 2.2 能動MCM法

我々は、インピーダンス整合の問題を解決する別の方法として能動MCM法を提案した<sup>12)</sup>。Fig.1 (b) に概念を示す本方式においては、チップ上だけでなく、MCM

基板にも能動素子であるジョセフソン接合で構成されるトランスミッタ及びレシーバが集積される。チップ上のトランスミッタ/レシーバは、コネクタを通して、MCM基板上のレシーバ/トランスミッタと直接結合することになる。このため、チップとMCM基板間の信号伝送に関わる回路要素は全て集中定数的に取扱うことができ、もはや厳しいインピーダンス整合条件は要求されず、結果として単一磁束量子回路チップ間の広帯域データ伝送が可能になる。なお、MCM基板での信号の伝送は、超伝導マイクロストリップ伝送線またはジョセフソン伝送線 (JTL)、あるいはそれらの併用によって行うことが可能である。このようなジョセフソン接合を含む能動MCM基板は、標準的なNb接合プロセス技術を利用してシリコン基板上に簡単かつ低いコストで作製することができる。

## §3 設計

### 3.1 テストMCMの構成

Fig.2に今回作製したテストMCMの構造を示す。テストMCMは、はんだバンプによりフリップチップ実装された1個のチップと1個のMCM基板から構成されている。チップ上にあるdc/sfqコンバータで発生した単一磁束量子パルスはスプリッタによって二つに分岐される。一方のパルスは、dc/sfqコンバータの動作の確認のため、直接チップ上のsfq/dcコンバータに送られ外部への出力となる。他方のパルスは、トランスミッタ (Trans1) から、コネクタを経てMCM基板上のレ

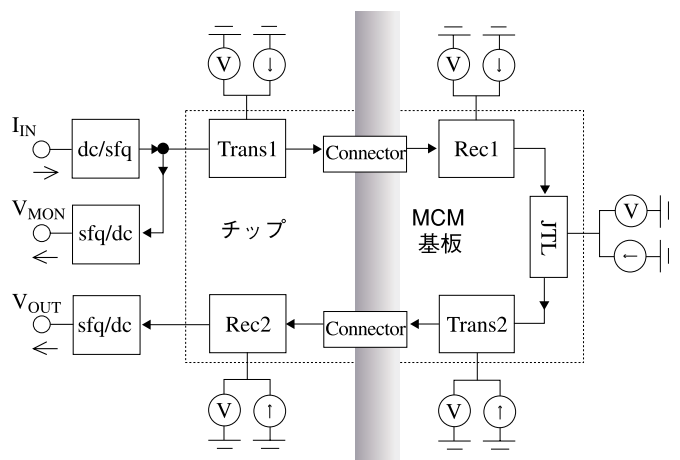


Fig.2 Block diagram of a prototype multichip module (MCM) for chip-to-chip communication experiments.

シーバ(Rec1)に送られ、JTLを通り抜け、MCM基板上のトランスミッタ(Trans2)、コネクタ、チップ上のレシーバ(Rec2)を通り、再びチップに戻り、sq/dcコンバータから外部へ出力される。全てのトランスミッタ及びレシーバはそれぞれ個別の電流バイアス端子を持ち、独立にバイアス電流を供給することができる。また、各電流バイアス端子には電圧モニター用の端子が付属しているので、回路全体を共通の電圧でバイアスすることも可能である。

### 3.2 コネクタのモデル化

Fig.3に、フリップチップ実装のためのボンディングパッドの配置図を示す。今回の試作においては、パッドの直径 $r=100\mu\text{m}$ 、最近接パッド間ピッチ $d_0=200\mu\text{m}$ である。コネクタの実効的インダクタンスの低減のために、信号端子をグランド端子で取り囲む構造となっている。このパッド配置から抽出したコネクタの等価回路をFig.4に示す。信号及びグランド端子は、はんだバンプの自己インダクタンス $L_{cn}=30\text{pH}$ とパッドに起因する微小寄生抵抗 $R_{cn}=0.25\text{m}\Omega$ の直列接続としてモデル化した。さらにバンプ間の磁気結合効果は、一つの信号端子について最近接の3つのグランド端子と第二近接の2つのグランド端子に因るもののみを考慮し、それぞれの相互インダクタンスの値を $M_0=5\text{pH}$ 、 $M_1=3\text{pH}$ と仮定した。端子間の寄生容量は無視した。

### 3.3 トランスミッタ及びレシーバの最適化

Fig.5にトランスミッタとレシーバの等価回路を示す

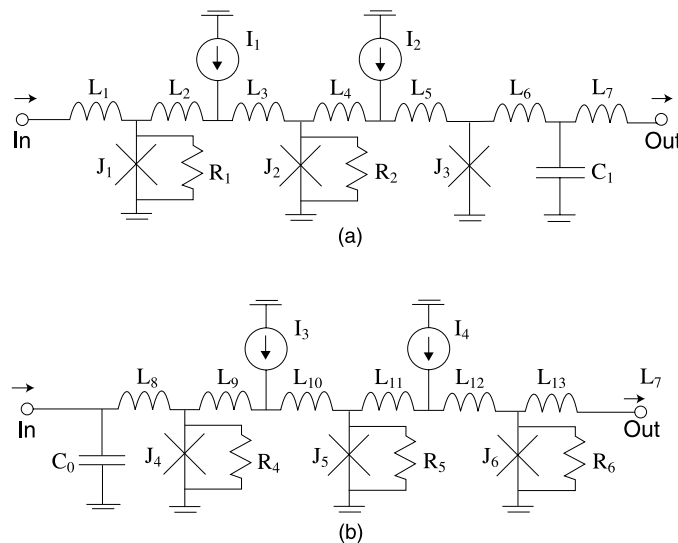


Fig.5 Schematics of (a) the transmitter and (b) the receiver. Crosses denote ideal Josephson tunnel junctions without a shunting resistor.

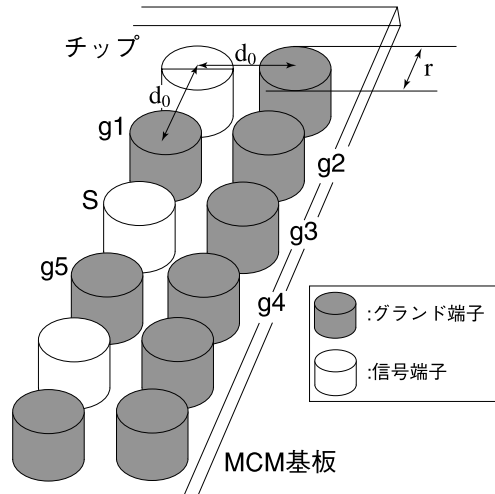


Fig.3 Layout of bonding pads for flipchip packaging. In this experiment, pad diameter and center-to-center pitch were  $r=100\mu\text{m}$  and  $d_0=200\mu\text{m}$ , respectively.

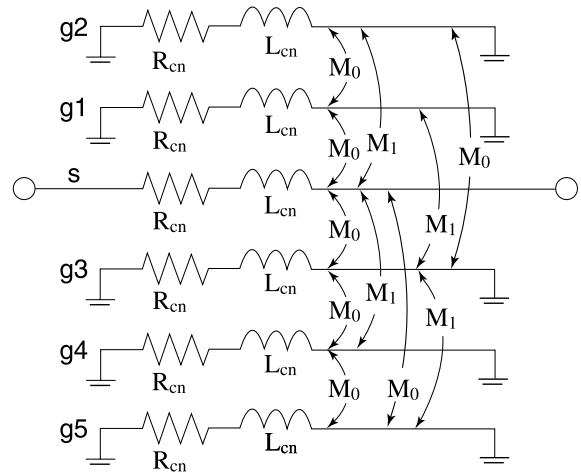


Fig.4 Schematic of a signal connector corresponding to the layout in Fig. 3. For circuit design, we assumed  $L_{cn}=30\text{pH}$ ,  $R_{cn}=0.25\text{m}\Omega$ ,  $M_0=5\text{pH}$ , and  $M_1=3\text{pH}$ .

Table 1 Circuit parameters of the transmitter and the receiver in Fig. 5. Symbols J, R, I, L, and C denote the junction critical current, the junction shunting resistance, the bias current, the inductance, and the capacitance, respectively.

パラメータ	値	パラメータ	値
J <sub>1</sub>	0.255mA	L <sub>1</sub>	0.96pH
J <sub>2</sub>	0.125mA	L <sub>2</sub>	0.32pH
J <sub>3</sub>	0.353mA	L <sub>3</sub>	0.60pH
J <sub>4</sub>	0.153mA	L <sub>4</sub>	1.48pH
J <sub>5</sub>	0.230mA	L <sub>5</sub>	0.87pH
J <sub>6</sub>	0.383mA	L <sub>6</sub>	1.00pH
R <sub>1</sub>	0.81 Ω	L <sub>7</sub>	0.50pH
R <sub>2</sub>	0.75 Ω	L <sub>8</sub>	0.76pH
R <sub>4</sub>	4.7 Ω	L <sub>9</sub>	3.41pH
R <sub>5</sub>	0.96 Ω	L <sub>10</sub>	2.06pH
R <sub>6</sub>	0.81 Ω	L <sub>11</sub>	1.32pH
I <sub>1</sub>	0.247mA	L <sub>12</sub>	1.03pH
I <sub>2</sub>	0.121mA	L <sub>13</sub>	0.70pH
I <sub>3</sub>	0.312mA	C <sub>0</sub>	1.8pF
I <sub>4</sub>	0.189mA	C <sub>1</sub>	1.8pF

す。Table 1にこれらの回路のパラメータの値をまとめる。回路パラメータは、CADENCEをプラットフォームとして動作するPSCAN/COWBOYプログラム<sup>14)</sup>を用いて最適化されている。トランスミッタ及びレシーバは、トランスミッタの出力側とレシーバの入力側に整合キャパシタンスを持つこと以外は、基本的にJTLと同じ構造を持つ。通常の単一磁束量子回路の場合と異なり、最適化の際は、各ジョセフソン接合のダンピング係数  $\beta_c = 2\pi I_c R_n^2 C / \Phi_0$  を1に固定せず最適化の対象とした。結果として、トランスミッタの出力接合J<sub>3</sub>とレシーバの入力接合J<sub>4</sub>は非常に軽いダンピングとなっている(実際 J<sub>3</sub>はシャント抵抗を持たない)が、J<sub>2</sub>及びJ<sub>5</sub>の重いダンピングによって補償されているので、回路全体は発振状態にはならず、単一磁束量子パルスの伝送を正常に行うことができる。

Fig.6に、トランスミッタ/コネクタ/レシーバからなる単一磁束量子チップ間伝送回路のシミュレーション波形を示す。ダンピングの軽いJ<sub>3</sub>及びJ<sub>4</sub>においてプラズマ振動に起因する大きなリップルが観測されるが、1つの磁束量子パルス入力に対して1つの磁束量子パルス出力が得られ、回路は正しく動作していることがわかる。シミュレーションにより見積ったマージンの理論値は、バイアス電流のグローバル係数について +/- 37%以上、個々の回路パラメータ(接合臨界電流、シャント抵抗、バイアス電流、インダクタンス等)については全て +/- 50%以上である。チャンネル当りのデータ伝送スループットの理論値は 60 Gb/s以上と見積ら

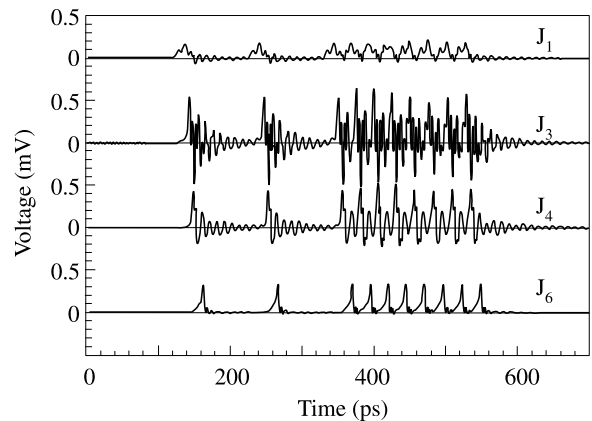


Fig.6 Calculated waveforms of the chip-to-chip transfer circuit consisting of the transmitter, the connector, and the receiver.

れる。また、待機時の消費電力は、バイアス電圧の設計値(2.5 mV)において、トランスミッタで0.93 μW、レシーバで1.25 μWと見積られる。

以上の等価回路レベル(“SPICEレベル”)設計の後、CADENCEを用いてレイアウト設計を行った。等価回路の正確なレイアウト展開を期し、レイアウト設計においてはL-METER<sup>14)</sup>を用いてインダクタンス抽出を行った。

## § 4 作製

### 4.1 単一磁束量子回路用Nb接合プロセス

テストMCMを構成するチップとMCM基板は、Table 2に概要をまとめる電総研で開発中の単一磁束量子回路用標準プロセス<sup>8)</sup>を用いて作製された。Fig.7に作製

Table 2 Summary of ETL Nb-trilayer process for rapid single flux quantum circuits.

レイヤ	
グランドプレーン (GP)	Nb (200nm)
絶縁層1 (I1)	MgO (20nm)/SiO <sub>2</sub> (180nm)
ジョセフソン接合 (JJ)	Nb (100nm)/Al-AIO <sub>x</sub> (6nm)/Nb (125nm)
絶縁層2 (I2)	SiO <sub>2</sub> (100nm)
抵抗 (R)	Ti(2nm)/Pd (55nm)
絶縁層3 (I3)	SiO <sub>2</sub> (100nm)
配線 (W)	Nb (300nm)
表面保護層 (I4)	SiO <sub>2</sub> (350nm)
パッド (PD)	Ti (2nm)/Pd (300nm)/Au (400nm)
接合臨界電流密	1.6kA/cm <sup>2</sup>
最小接合寸法	2.8μm×2.8μm
シート抵抗	1.2Ω

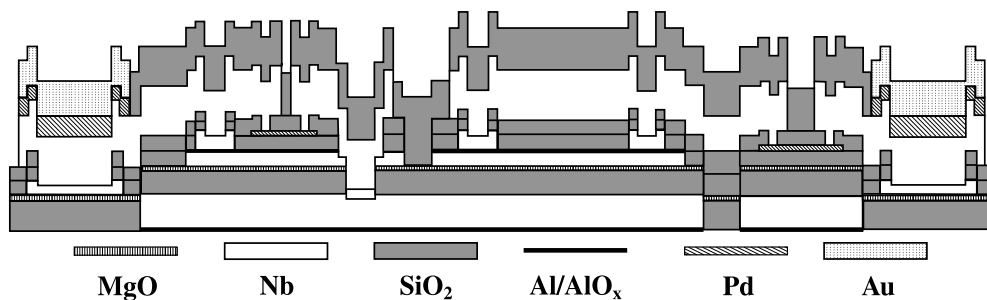
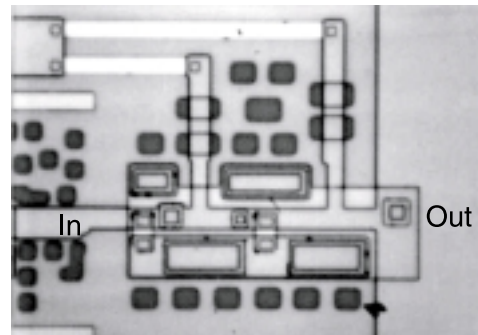


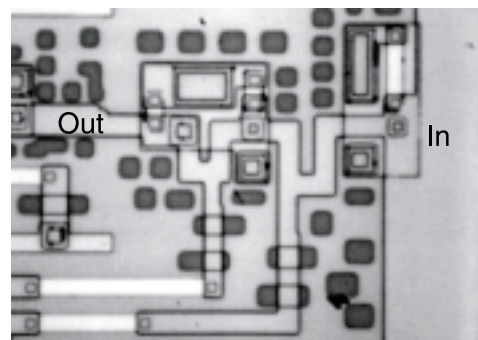
Fig.7 ETL standard Nb-trilayer process for rapid single flux quantum circuits.

した回路の断面の模式図を示す。なお、表面保護層 (I4) とパッド層 (PD) は、フリップチップ実装用はんだバンプ形成のためのものであり、通常のチップ作製プロセスにおいては省略される。ジョセフソン接合は Nb/AIO<sub>x</sub>/Nb 三層構造で形成され、臨界電流密度及び最小接合寸法の設計値はそれぞれ 1.6 kA/cm<sup>2</sup> と 2.8 μm × 2.8 μm である。抵抗には、rf スパッタリング法で作製したシート抵抗 1.2Ω の Pd 薄膜 (膜厚 約 55 nm) を用いている。この抵抗 Pd 薄膜の作製の際は、剥離防止のために、in-situ で形成した極薄 Ti アンダーレイヤ層 (膜厚 約 2 nm) を用いている。また、単一磁束量子回路の作製においては、寄生インダクタンスの低減やレイアウト面積の縮小の観点から、配線層のシートインダクタンスを小さくすることが重要である。我々の単一磁束量子回路用標準プロセスでは、従来のラッチ回路用プロセスの場合よりも層間絶縁層の膜厚を薄くすることにより、配線層 (W)、ベース電極層 (JJ) とともに 0.5 pH 程度の低いシートインダクタンスを実現している。

Fig.8 に作製したトランスミッタとレシーバの顕微鏡写真を示す。バイアス抵抗を含めない占有面積は、トランスミッタ、レシーバともに約 30 μm × 60 μm であ



(a)



(b)

Fig.8 Microphotographs of (a) the transmitter and (b) the receiver.

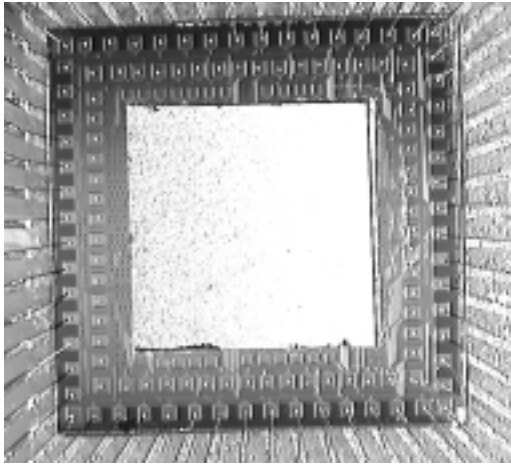


Fig.9 The prototype multichip module (MCM).

る。チップ及びMCM基板の大きさは4.8 mm × 4.8 mm及び8.2 mm × 8.2 mmである。

#### 4.2 フリップチップ実装技術

融点117 °Cの低融点合金であるInSnをはんだに用いて<sup>15)</sup>、作製したチップをMCM基板の上にフリップチップ実装した。チップ及びMCM基板を溶融したInSn合金に浸し、はんだバンプを形成した。チップをMCM基板の上にマウントした後、120 °Cの大気中で1時間のリフローを行った。ここで用いたフリップチップ実装技術については別稿<sup>16)</sup>で詳細を述べる。Fig.9に完成したテストMCMの写真を示す。

### § 5 評価

Fig.10に、測定したテストMCMの各信号端子の動作波形を示す。入力電流 $I_{IN}$ の立上がりで示される単一磁束量子パルスの発生に対応して、それぞれのsfq/dcコンバータの状態の遷移が観測され、回路が正しく動作していることが確認された。

Fig.11に、ビット誤り率のバイアス電圧依存性を示す。ビット誤り率の測定は、sfq/dcコンバータ、dc/sfqコンバータ等の入出力回路のバイアス電流は最適値に固定し、Fig.2の点線枠で囲まれている全てのトランスミッタとレシーバ及びMCM基板上JTLのバイアス電圧が等しくなるようバイアスを印加し、その共通バイアス電圧を変数として行った。単発の単一磁束量子パルスの入力に対する応答を繰返し観測し、 $10^{-5}$ までの

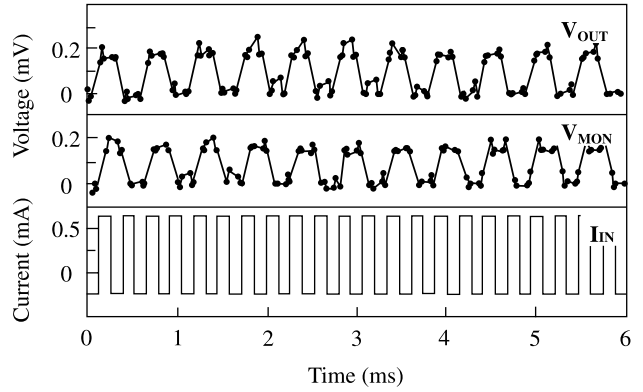


Fig.10 Demonstration of chip-to-chip communication using single flux quantum pulses. Top and middle traces are output voltages  $V_{OUT}$  and  $V_{MON}$ , respectively: each rising and falling edge corresponds to appearance of a single flux quantum pulse. Bottom trace is input current  $I_{IN}$ : each rising edge corresponds to generation of a single flux quantum pulse.

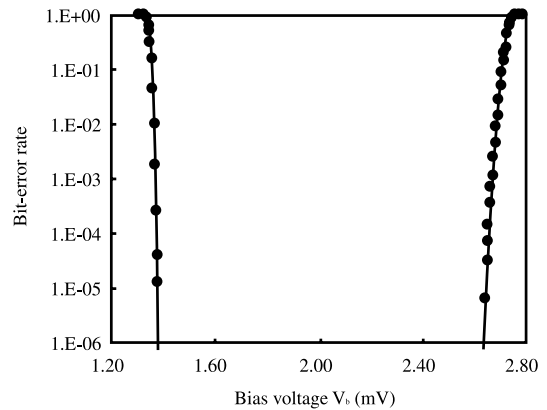


Fig.11 Bit-error rate as a function of the common bias voltage  $V_b$ . Dots show experiments and lines are fits to the error function.

ビット誤り率を測定した。Fig.9の実線は誤差関数によるフィッティング<sup>17,18)</sup>の結果を示し、低バイアス側では、

$$BER_{LO} = 1/2 \operatorname{erfc}[(V_b - 1.347)/0.0102] \quad (1)$$

高バイアス側では、

$$BER_{HI} = 1/2 \operatorname{erfc}[(2.735 - V_b)/0.0304] \quad (2)$$

の実験式を得た。ここで、 $V_b$ はmV単位で表わしたバイアス電圧である。ビット誤り率1/2以下で定義したバイアス電圧マージンは $\pm 34\%$ となる。また、実験式(1)および(2)の外挿より、中心バイアス点2.0 mVにおけるビット誤り率は $10^{-200}$ 以下と非常に小さな値になることが示唆される。

## § 6 まとめ

マルチチップモジュール(MCM)は高性能・大規模デジタルシステム構築のための重要な要素技術の一つであり,単一磁束量子回路技術においても広帯域チップ間信号伝送を可能にする高性能MCM技術の実現が望まれている。われわれは,能動素子であるジョセフソン接合を集積したMCM基板を用いる能動MCM法を提案し,単一磁束量子パルスを直接チップ間で伝送することに初めて成功した。

提案した能動MCM方式に基づき,磁束量子パルス伝送のためのトランスミッタおよびレシーバを設計し,シミュレーションにより大きなバイアスマージン( $> \pm 37\%$ )と高いスループット( $> 60 \text{ Gb/s}$ )が実現できることを示した。これらの回路により構成されたテストMCMを,電総研の単一磁束量子回路用Nb接合標準プロセス(接合臨界電流密度  $1.6 \text{ kA/cm}^2$ ,シート抵抗  $1.2 \Omega$ )技術及び低融点はんだ(InSn:融点  $117^\circ\text{C}$ )を用いたフリップチップボンディング技術によって作製した。低速機能試験(信号周波数  $\sim \text{kHz}$ )による評価の結果,回路の正しい動作を確認した。ビット誤り率の測定結果は誤差関数による理論式とよく一致し,ビット誤り率  $1/2$  で定義したバイアス電圧マージンは  $\pm 34\%$  と十分に大きな値を持つことがわかった。また,ビット誤り率のフィッティング結果の外挿は中心バイアス点におけるビット誤り率は  $10^{-200}$  以下と極めて小さな値になることを示し,本方式が大規模システムにも十分に応用可能であることが強く示唆された。

従来は困難と考えられていた磁束量子パルスの直接チップ間伝送が可能であることを実験的に示した本研究の結果は,単一磁束量子回路のための高性能MCM技術の確立に向けての極めて重要な成果である。この成果を基礎にしたMCM技術の進展により単一磁束量子回路技術の応用の新たな局面が開かれることが期待される。

## 謝 辞

本研究の一部は,科学技術庁の科学技術振興調整費による「単一磁束量子を担体とする極限情報処理機能の研究」の一環として実施された。試料作製にご協力いただいた瀬川繁昌氏,回路設計について有意義なご

議論をいただいた菊池恒男氏と鈴木基史氏に感謝する。また,本研究遂行にあたってご支援をいただいた清水肇氏と小柳正男氏に感謝する。

## 参 考 文 献

- 1) K. K. Likharev and V. K. Semenov, "RSFQ logic/memory family: A new Josephson-junction technology for sub-terahertz-clock frequency digital systems", IEEE Trans. Appl. Superconduct., vol. 1, pp. 3-28, Mar. 1991.
- 2) M. Dorojevets, P. Bunyk, D. Zinoviev, and K. Likharev, "COOL-0: design of an RSFQ subsystem for petaflops computing", IEEE Trans. Appl. Superconduct., vol. 9, pp. 3606-3614, June 1999.
- 3) V. K. Semenov, Y. A. Polyakov, and T. V. Filippov, "A superconducting delta ADC with on-chip decimation filter", IEEE Trans. Appl. Superconduct., vol. 9, pp. 3026-3029, June 1999.
- 4) S. V. Rylov, D. K. Brock, D. V. Gaidarenko, A. F. Kirichenko, and J. M. Vogt, "High resolution ADC using phase modulation-demodulation architecture", IEEE Trans. Appl. Superconduct., vol. 9, pp. 3016-3019, June 1999.
- 5) S. B. Kaplan, P. D. Bradley, D. K. Brock, D. Gaidarenko, D. Gupta, W. Q. Li, and S. V. Rylov, "A superconductive flash digitizer with on-chip memory", IEEE Trans. Appl. Superconduct., vol. 9, pp. 3020-3025, June 1999.
- 6) D. L. Miller, J. X. Przybysz, A. H. Worsham, and E. J. Dean, "Flux quantum sigma-delta analog-to-digital converters for rf signals", IEEE Trans. Appl. Superconduct., vol. 9, pp. 4026-4029, June 1999.
- 7) V. K. Semenov, "Digital to analog conversion based on processing of the SFQ pulses", IEEE Trans. Appl. Superconduct., vol. 3, pp. 2637-2640, Mar. 1993.
- 8) F. Hirayama, H. Sasaki, S. Kiryu, M. Maezawa, T. Kikuchi, and A. Shoji, "Fabrication and tests of RSFQ-logic-based D/A converter components", Applied Superconductivity 1999, Inst. Phys. Conf. Ser. No.167, pp. 729-732, 2000.
- 9) J. X. Przybysz, D. L. Miller, S. S. Martinet, J. Kang, A. H. Worsham, and M. L. Farich, "Interface circuits for chip-to-chip data transfer at GHz rate", IEEE Trans. Appl. Superconduct., vol. 7, pp. 2657-2660, June 1997.
- 10) A. H. Miklich, A. H. Worsham, D. L. Miller, and J. X. Przybysz,

"Circuit for chip-to-chip transportation of bits from single flux quantum circuits", IEEE. Trans. Appl. Superconduct., vol. 7, pp. 2278-2281, June 1997.

- 11) S. Polonsky and D. Schneider, "Towards broadband communications between RSFQ chips", IEEE. Trans. Appl. Superconduct., vol. 7, pp. 2818-2821, June 1997.
- 12) M. Maezawa, H. Yamamori and A. Shoji, "Novel approach to chip-to-chip communication using a single flux quantum pulse", IEEE. Trans. Appl. Superconduct., vol. 9, pp. 4049-4052, June 1999.
- 13) M. Maezawa, H. Yamamori and A. Shoji, "Chip-to-chip communication using a single flux quantum pulses", IEEE. Trans. Appl. Superconduct., vol. 10, pp. 1603-1605, June 2000.
- 14) Available: <http://pavel.physics.sunysb.edu/RSFQ/>
- 15) K. E. Yokoyama, G. Akerling, A. D. Smith, and M. Wire, "Robust superconducting die attach process", IEEE. Trans. Appl. Superconduct., vol. 7, pp. 2631-2634, June 1997.
- 16) 山森弘毅, 前澤正明, 東海林彰, 電総研彙報 投稿中.
- 17) J. Satchell, "Limitations on HTS single flux quantum logic", IEEE. Trans. Appl. Superconduct., vol. 9, pp. 3841-3844, June 1999.
- 18) Q. P. Herr, M. W. Johnson, and M. Feldman, "Temperature-dependent bit-error rate of a clocked superconducting digital circuit", IEEE. Trans. Appl. Superconduct., vol. 9, pp. 3594-3597, June 1999.

(2000.7.6受付)

## 著者紹介

前澤 正明

Masaaki MAEZAWA

電子デバイス部 超伝導デバイス応用ラボ  
超伝導集積回路の研究に従事。



山森 弘毅

Hirotake YAMAMORI

電子デバイス部 超伝導デバイス応用ラボ  
E-mail:yamamori@etl.go.jp  
超伝導デバイス技術の研究に従事。



東海林 彰

Akira SHOJI

電子デバイス部 超伝導デバイス応用ラボ  
E-mail:shoji@etl.go.jp  
超伝導デバイス技術の研究に従事。

